

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-158195

(P2003-158195A)

(43) 公開日 平成15年5月30日 (2003.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/8234		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/28	3 0 1		3 0 1 S 5 F 0 4 8
		27/10	4 6 1 5 F 0 8 3
21/8238			4 8 1
27/088		27/08	1 0 2 D

審査請求 未請求 請求項の数20 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2001-355053 (P2001-355053)

(22) 出願日 平成13年11月20日 (2001.11.20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大塚 文雄

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 山本 智志

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

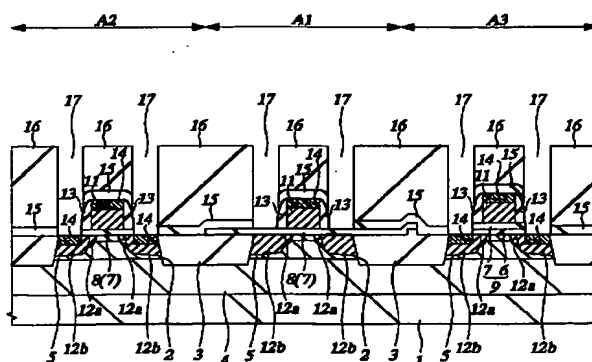
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 ゲート絶縁膜が高誘電率絶縁膜で構成された M I S トランジスタを有する半導体集積回路装置において、高速動作が得られる回路と高信頼度が得られる回路とを同一基板上に形成する。

【解決手段】 論理部 A 2 および I / O 部 A 3 では、M I S トランジスタの拡散領域 1 2 b 上の高誘電率絶縁膜 7 を除去して、その表面に低抵抗のシリサイド層 1 4 を形成する。一方、メモリ部 A 1 では、M I S トランジスタの拡散領域 1 2 b 上にシリサイド層 1 4 を形成せず、それを高誘電率絶縁膜 7 で覆い、スペーサ 1 3、シリサイド層 1 4 およびコンタクトホール 1 7 を形成する際の半導体基板 1 へ及ぼすダメージを防止する。

図 1 7



7 : 高誘電率絶縁膜
14 : シリサイド層
17 : コンタクトホール

THIS PAGE BLANK (US.)

【特許請求の範囲】

【請求項1】 (a) 第1導電型の半導体基板の表面に複数の溝を形成し、前記複数の溝の内部に第1絶縁膜を形成する工程と、(b) 前記半導体基板の表面に、前記第1絶縁膜よりも比誘電率の高い第2絶縁膜を形成する工程と、(c) 前記第2絶縁膜上に第1導体片を形成する工程と、(d) 前記第1導体片の両端の領域において、前記第2絶縁膜を残した状態で、前記半導体基板の表面に前記第1導電型と反対の第2導電型の第1不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、さらに、(e) 前記半導体基板上に第3絶縁膜を形成する工程と、(f) 前記第3絶縁膜に異方性エッチングを施し、前記第1導体片の側壁に側壁絶縁膜を形成する工程とを含み、前記異方性エッチングを施した後に、前記半導体基板の表面は前記第2絶縁膜で覆われていることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法において、前記第3絶縁膜として酸化膜を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項2記載の半導体集積回路装置の製造方法において、さらに、(g) 前記半導体基板の表面の前記側壁絶縁膜と前記第1絶縁膜とに挟まれた領域に、前記第2絶縁膜を残した状態で第2導電型の第2不純物を導入する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法において、さらに、(h) 前記半導体基板の表面の前記側壁絶縁膜と前記第1絶縁膜とに挟まれた領域の前記第2絶縁膜を除去する工程と、(i) 前記半導体基板上に高融点金属膜を堆積し、前記半導体基板の表面の前記側壁絶縁膜と前記第1絶縁膜とに挟まれた領域に、選択的にシリサイド層を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1記載の半導体集積回路装置の製造方法において、前記第1導体片は、シリコンゲルマニウム膜およびシリコン膜が下層から順に積層されてなることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 (a) その表面に第1領域および第2領域を有する第1導電型の半導体基板を準備する工程と、(b) 前記第1および第2領域の半導体基板の表面に複数の溝を形成し、前記複数の溝の内部に第1絶縁膜を形成する工程と、(c) 前記第1および第2領域の半導体基板の表面に、前記第1絶縁膜よりも比誘電率の高い第2絶縁膜を形成する工程と、(d) 前記第1領域の前記第2絶縁膜上に第1導体片、前記第2領域の前記第2絶縁膜上に第2導体片を形成する工程と、(e) 前記第1導体片の両端の領域および前記第2導体片の両端の領域

において、前記半導体基板の表面に前記第1導電型と反対の第2導電型の第1不純物を導入する工程と、(f) 少なくとも前記第1導体片の下および前記第2領域を除いて、前記第2絶縁膜を除去する工程と、(g) 前記半導体基板上に高融点金属膜を堆積する工程と、(h) 前記第1領域において、前記半導体基板の表面の前記第1導体片と前記第1絶縁膜とに挟まれた領域に、選択的にシリサイド層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法において、前記工程(e)と(f)との間に、さらに、(i) 前記半導体基板上に第3絶縁膜を形成する工程と、(j) 前記第3絶縁膜に異方性エッチングを施し、前記第1導体片の側壁に第1側壁絶縁膜、前記第2導体片の側壁に第2側壁絶縁膜を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記工程(j)と(f)との間に、さらに、(k) 前記半導体基板の表面の前記第1側壁絶縁膜と前記第1絶縁膜とに挟まれた領域、および前記第2側壁絶縁膜と前記第1絶縁膜とに挟まれた領域に、第2導電型の第2不純物を導入する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項7記載の半導体集積回路装置の製造方法において、前記工程(b)と(c)との間に、さらに、(l) 前記第1領域の前記半導体基板の表面にシリコン酸化膜を形成する工程を含み、前記第1領域では、前記第2絶縁膜は前記シリコン酸化膜を介して前記半導体基板上に形成され、前記第2領域では、前記第2絶縁膜は前記シリコン酸化膜を介することなく前記半導体基板の表面に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項7記載の半導体集積回路装置の製造方法において、前記第1および第2導体片は、シリコンゲルマニウム膜およびシリコン膜が下層から順次積層されてなることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項7記載の半導体集積回路装置の製造方法において、さらに、(m) 前記第1および第2領域に第3絶縁膜を堆積する工程と、(n) 前記第1領域において、前記第3絶縁膜にエッチングを施し、前記第1導体片と前記第1絶縁膜とに挟まれた領域に第1開口を形成する工程と、(o) 前記第2領域において、前記第3絶縁膜にエッチングを施し、前記第2導体片と前記第1絶縁膜とに挟まれた領域に第2開口を形成する工程と、(p) 前記第1開口に第3導体片、前記第2開口に第4導体片を形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法において、前記第1領域における前記第1導

10

20

30

40

50

THIS PAGE BLANK (USP 10)

体片と前記第1絶縁膜との距離は、前記第2領域における前記第2導体片と前記第1絶縁膜との距離よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項13記載の半導体集積回路装置の製造方法において、前記第2開口の一部は、前記第2領域の前記第1絶縁膜に重なっていることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項13記載の半導体集積回路装置の製造方法において、前記第1および第3絶縁膜は、シリコン酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項12記載の半導体集積回路装置の製造方法において、前記第3絶縁膜は、シリコン窒化膜およびシリコン酸化膜が下層から順に積層されてなることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項12記載の半導体集積回路装置の製造方法において、前記第3導体片の平面形状は、前記第4導体片の平面形状よりも小さいことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項12記載の半導体集積回路装置の製造方法において、前記工程(b)と(c)との間に、さらに、(1)前記第1領域の前記半導体基板の表面にシリコン酸化膜を形成する工程を含み、前記第1領域では、前記第2絶縁膜は前記シリコン酸化膜を介して前記半導体基板上に形成され、前記第2領域では、前記第2絶縁膜は前記シリコン酸化膜を介することなく前記半導体基板の表面に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 (a)第1導電型の半導体基板の表面に複数の溝を形成し、前記複数の溝の内部に第1絶縁膜を形成する工程と、(b)前記半導体基板の表面に、前記第1絶縁膜よりも比誘電率の高い第2絶縁膜を形成する工程と、(c)前記第2絶縁膜上に第1導体片を形成する工程と、(d)前記第1導体片の両端の領域に第1半導体領域を形成するために、前記第2絶縁膜を残した状態で、前記半導体基板の表面に前記第1導電型と反対の第2導電型の第1不純物を導入する工程と、(e)前記半導体基板上に第3絶縁膜を形成する工程と、(f)前記第3および第2絶縁膜にエッチングを施し、前記第1半導体領域上に開口を形成する工程と、(g)前記開口内に第2導体片を形成する工程とを有し、前記工程(f)のエッチングは、前記第2絶縁膜に対して前記第3絶縁膜のエッチング速度が大となる条件で前記第3絶縁膜をエッチングする第1エッチングと、前記第1エッチングとは異なる条件で前記第2絶縁膜をエッチングする第2エッチングとを有することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項19記載の半導体集積回路装置の製造方法において、前記第1および第3絶縁膜は、シリコン酸化膜からなることを特徴とする半導体集積回路

装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、ゲート電極の幅(以下、ゲート長と称す)が $0.1\mu\text{m}$ 以下の短チャネルMIS(metal insulator semiconductor)デバイスを有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

10 【従来の技術】ゲート長が $0.07\mu\text{m}$ 以下のMISトランジスタにおけるゲート絶縁膜の膜厚は、 1.2nm 以下になると予想される。しかし、ゲート絶縁膜として従来から用いられているシリコン酸化膜を薄膜化するとリーク電流が $10\text{A}/\text{cm}^2$ を越えてスタンバイ電流が増加するという問題が生ずる。

【0003】そこで、比誘電率が相対的に高い絶縁膜(以下、高誘電率絶縁膜と称す)、たとえば比誘電率が7~11程度のアルミナ膜などをゲート絶縁膜として用い、物理膜厚を 1.5nm 以上に保ったまま実効膜厚を縮小するという試みがなされている。ここで、実効膜厚とは、比誘電率を考慮したシリコン酸化(SiO_2)換算膜厚のことである。

【0004】たとえば、アイ・イー・ディ・エム(International Electron Device Meetings "80 nm poly-silicon gated n-FETs with ultra-thin Al_2O_3 gate dielectric for ULSI applications" PP.223-226, 2000)に、ゲート絶縁膜をアルミナ膜で構成したゲート長が $0.1\mu\text{m}$ 以下のMISトランジスタの動作特性が記載されている。

30 【0005】

【発明が解決しようとする課題】半導体装置の高集積化が進むにつれて、MISトランジスタはスケールング則に従い微細化されるが、ゲートやソース、ドレインの抵抗が増大してMISトランジスタを微細化しても高速動作が得られないという問題が生ずる。そこで、たとえば $0.2\mu\text{m}$ 以下のゲート長を有するMISトランジスタにおいては、ゲートを構成する導電膜およびソース、ドレインを構成する半導体領域をシリサイド化することにより、動作速度の高速化が図られている。

40 【0006】たとえば、ソース、ドレインを構成する半導体領域の表面にシリサイド層を形成する際は、まず、基板上のゲート絶縁膜と同一層の絶縁膜を、たとえば反応性エッチングにより除去し、その後、ソース、ドレインを構成する半導体領域の表面に自己整合で低抵抗のシリサイド層が形成される。上記反応性エッチングは、半導体プロセスで用いられるドライエッチング技術の一つであって、化学的に活性な励起活性種を利用して化学反応によりエッチングが行われるので、エッチングダメージを抑えて、相対的に高いエッチング選択比を得ることができる。



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

【0007】しかしながら、高誘電率絶縁膜をゲート絶縁膜に用いたMISデバイスの製造技術について本発明者が検討したところ、上記反応性エッチングでは基板上の高誘電率絶縁膜を除去することが難しく、このためソース、ドレインを構成する半導体領域をシリサイド化できないことが明らかとなった。

【0008】MISデバイスの高速化の妨げとなる上記問題を解決する手段として、ソース、ドレインを構成する半導体領域上の高誘電率絶縁膜を物理的に除去するスパッタエッチングが検討されたが、スパッタエッチングでは基板にダメージが入りやすく、MISトランジスタの信頼度の低下を招いてしまう。たとえばメモリセルに上記スパッタエッチングを適用すると、接合リーク電流が増大してリテンション不良が発生するなどの問題が生ずる。

【0009】本発明の目的は、ゲート絶縁膜が高誘電率絶縁膜で構成された複数種類のMISトランジスタを有する半導体集積回路装置において、高速動作が得られる回路と高信頼度が得られる回路とを同一基板上に形成することのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体集積回路装置の製造方法は、その表面に第1領域および第2領域を有する第1導電型の半導体基板を準備する工程と、第1および第2領域の半導体基板の表面に複数の溝を形成し、複数の溝の内部に第1絶縁膜を形成する工程と、第1および第2領域の半導体基板の表面に、第1絶縁膜よりも比誘電率の高い第2絶縁膜を形成する工程と、第1領域の第2絶縁膜上に第1導体片、第2領域の第2絶縁膜上に第2導体片を形成する工程と、第1導体片の両端の領域および第2導体片の両端の領域において、半導体基板の表面に第1導電型と反対の第2導電型の第1不純物を導入する工程と、少なくとも第1導体片の下および第2領域を除いて、第2絶縁膜を除去する工程と、半導体基板上に高融点金属膜を堆積する工程と、第1領域において、半導体基板の表面の第1導体片と第1絶縁膜とに挟まれた領域に、選択的にシリサイド層を形成する工程とを有するものである。

(2) 本発明の半導体集積回路装置の製造方法は、前記(1)記載の半導体集積回路装置の製造方法において、さらに第1および第2領域に第3絶縁膜を堆積する工程と、第1領域において、第3絶縁膜にエッチングを施し、第1導体片と第1絶縁膜とに挟まれた領域に第1開口を形成する工程と、第2領域において、第3絶縁膜に

エッチングを施し、第2導体片と第1絶縁膜とに挟まれた領域に第2開口を形成する工程と、第1開口に第3導体片、第2開口に第4導体片を形成する工程とを含み、第1領域における第1導体片と第1絶縁膜との距離は、第2領域における第2導体片と第1絶縁膜との距離よりも大きいものである。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0013】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置のブロック図の一例である。まず、同図をもとに、本実施の形態1の半導体集積回路装置の構成の概要について説明する。

【0014】半導体集積回路装置は、メモリ部、論理部およびI/O(入出力インターフェイス)部に大別される。

【0015】メモリ部A1には、たとえば2進情報の1ビットを記憶するメモリセル(または単にセル)MCが 2^m 個配置されており、 2^m ビットの情報を記憶することができる。メモリセルMCはマトリクス構造に2次元配置されており、行ならびに列方向の選択線 L_1 、 L_2 の中のそれぞれ1本ずつを選び、その交点にあるメモリセルMCを選択することによって、メモリセル群の中から1個のメモリセルMCが呼び出される。行方向が 2^n 、列方向が 2^m のマトリクスとすることにより、メモリセルMCを駆動する回路の数を $2^n + 2^m$ 個とすることができる。このメモリ部A1は、メモリアレイ、メモリマトリクス、メモリアレイまたは単にアレイと呼ばれる。また、行方向の選択線 L_1 は行線、X線またはワード線、列方向の選択線 L_2 は列線、Y線、ビット線またはデータ線と呼ばれる。

【0016】論理部A2は、I/O部A3への制御信号またはデータにもとづいてメモリ部A1を制御し、メモリ部A1とデータとの授受を行う関連回路部である。代表的な回路ブロックの一つが、たとえばデコーダである。デコーダはI/O部A3内のアドレスバッファからN組、M組のアドレス信号を受けて、 2^n 本の行線、 2^m 本の列線の中から1個を選択する論理回路群である。個々のデコーダ出力に接続されたドライバによって行線、列線が駆動される。その他、データの授受を制御するI/O制御回路などがある。

【0017】I/O部A3は、外部から入力した制御信号や書き込みデータを内部信号に変換して論理部A2に送る、またメモリ部A1から論理部A2へ取り出した読み出しデータを外部に出力するための回路部である。代表的な回路ブロックの一つが、たとえばアドレスバッファである。アドレスバッファはメモリ部A1内のセル選択番地を指定するN+M本のアドレス入力信号を受け

THIS PAGE BLANK (USP 10)

て、それぞれN組、M組の内部アドレス信号を発生する回路である。その他、データ入出力回路、書き込み制御回路または制御クロック回路などがある。

【0018】次に、メモリ部に配置されるメモリセルの一例を示す。図2は、DRAM (dynamic random access memory) のメモリセルの等価回路、図3は、SRAM (static random access memory) のメモリセルの等価回路である。なお、その他のメモリセルとして、たとえばメモリ回路と論理回路とが同一基板に設けられたロジック (logic) 混載形メモリ、または不揮発性メモリなど

を構成するメモリセルを挙げることができるが、ここでの説明は省略する。

【0019】図2に示すように、DRAMセルは、スイッチの役割をする選択用MISトランジスタQと情報電荷を蓄積するキャパシタCとからなる。このキャパシタCに電荷があるかないか、すなわちキャパシタCの端子電圧が高いか低いかを2進の情報“1”、“0”に対応させて記憶させる。データの書き込み動作は、データに対応した電圧をセルの外部から印加することによって行われる。また、データの読み出し動作は、キャパシタC

での電荷の有無を電圧の高低に対応させて、セルの外部にとり出して検査することによって行われる。

【0020】図3に示すように、SRAMセルは、記憶を行うフリップフロップ回路と2個の転送用MISトランジスタQtとからなる。ワード線WLに電圧を印加して転送用MISトランジスタQtをオン状態とすることによって、データ対線D、/Dとフリップフロップ回路間でデータが授受される。フリップフロップ回路は、2個のインバータの入出力を互いに結線したものであり、インバータは負荷素子Loと駆動用MISトランジスタQdとで構成される。負荷素子Loは、MISトランジスタまたは抵抗素子、たとえばシリコン多結晶膜などで構成することができる。

【0021】データの書き込み時には、データ対線D、/Dの一方に高電圧(H)を、他方に低電圧(L)を印加して、それを一対の記憶ノードN₁、N₂に与えるが、その2通りの与え方の組み合わせ(D、/DがそれぞれH、LまたはL、H)を2進の書き込みデータに対応させる。データの読み出し時には、記憶ノードN₁、N₂の電圧の高低の組み合わせに対応してデータ対線D、/Dに現れた電圧を検出して行う。

【0022】次に、本実施の形態1である半導体集積回路装置の一例を図4～図7に示す半導体基板の要部断面図を用いて説明する。図4は、メモリ部に形成されるnチャネルMISトランジスタ、図5は、論理部に形成されるnチャネルMISトランジスタ、図6は、I/O部に形成されるnチャネルMISトランジスタ、図7は、容量素子を構成するnチャネルMISトランジスタを示す。

【0023】まず、図4を用いて、メモリ部に形成され

るnチャネルMISトランジスタQ₁を説明する。このnチャネルMISトランジスタQ₁として、前記図2に記載したDRAMセルを構成する選択用MISトランジスタQ、あるいは前記図3に記載したSRAMセルを構成する転送用MISトランジスタQtまたは駆動用MISトランジスタQdなどを例示することができる。また、nチャネルMISトランジスタQ₁のしきい値電圧(V_{th})は相対的に高く、たとえば0.4V程度とすることができる。また、たとえば2種類の電源電圧を用いる場合は、nチャネルMISトランジスタQ₁に印加される動作電圧(V_{cc})は低い電圧であり、たとえば0.85V程度とすることができる。

【0024】nチャネルMISトランジスタQ₁は、p型の半導体基板1に形成された素子分離部に囲まれた活性領域に形成されている。素子分離部は、半導体基板1に浅溝2を形成し、これに埋め込まれたシリコン酸化膜3によって構成される。半導体基板1の表面には、一対のn型半導体領域12によってソース、ドレインが構成されている。

【0025】半導体基板1上には高誘電率絶縁膜7で構成されたゲート絶縁膜8が形成され、その上にはシリコン多結晶膜10で構成されたゲート電極(導体片)11が形成されている。上記高誘電率絶縁膜7は、活性領域および素子分離部上の半導体基板1のほぼ全面に形成されている。ゲート電極11の側壁には、たとえばシリコン酸化膜からなるスペーサ(側壁絶縁膜)13が形成され、ゲート電極11の上面にはシリサイド層14が形成されている。

【0026】さらに、半導体基板1のほぼ全面を覆って、SAC (self-aligned contact) 用絶縁膜15と層間絶縁膜16が下層から順に形成されている。絶縁膜15は、たとえばシリコン窒化膜、層間絶縁膜16は、たとえばシリコン酸化膜によって構成することができ、絶縁膜15は、エッチング速度の違いから層間絶縁膜16のエッチングストップ層として機能する。なお、層間絶縁膜16のエッチングストップ層として高誘電率絶縁膜7を用いることができる場合は、絶縁膜15を形成する必要はない。

【0027】ゲート絶縁膜8と同一層の高誘電率絶縁膜7、絶縁膜15および層間絶縁膜16には、一対のn型半導体領域12に達するコンタクトホール17aが開口しており、このコンタクトホール17aに埋め込まれたプラグ(導体片)18を介して配線19が一対のn型半導体領域12に接続されている。なお、プラグ18を埋め込む開口としては、寄生容量低減の必要性から円形のコンタクトホールが好ましいが、ソース、ドレインを構成するn型半導体領域12と素子分離部とを渡って形成される溝(スロット型)としてもよく、たとえばこれに埋め込まれた導体膜を局所配線と兼ねることもできる。

【0028】次に、図5を用いて、論理部に形成される

THIS PAGE DELETED

nチャネルMISトランジスタ Q_2 を説明する。nチャネルMISトランジスタ Q_2 のしきい値電圧(V_{th})は相対的に低く、たとえば0.1V程度とすることができる。また、たとえば2種類の電源電圧を用いる場合は、nチャネルMISトランジスタ Q_2 に印加される動作電圧(V_{cc})は低い電圧であり、たとえば0.85V程度とすることができる。

【0029】nチャネルMISトランジスタ Q_2 は、前記nチャネルMISトランジスタ Q_1 と同様に、p型の半導体基板1に形成された素子分離部に囲まれた活性領域に形成されて、半導体基板1の表面には、一対のn型半導体領域12によってソース、ドレインが構成されている。さらに、半導体基板1上には高誘電率絶縁膜7で構成されたゲート絶縁膜8、その上にはシリコン多結晶膜10で構成されたゲート電極11が形成されている。ゲート電極11の側壁および上面には、スペーサ13およびシリサイド層14がそれぞれ形成されている。

【0030】しかし、上記高誘電率絶縁膜7は、ゲート電極11およびスペーサ13と半導体基板1との間のみに形成されてゲート絶縁膜8を構成し、一対のn型半導体領域12の上面には低抵抗化のためのシリサイド層14が形成されている。

【0031】また、半導体基板1のほぼ全面を覆って、SAC用絶縁膜15と層間絶縁膜16が下層から順に形成されている。絶縁膜15および層間絶縁膜16には、一対のn型半導体領域12上のシリサイド層14に達するコンタクトホール17が開口しており、このコンタクトホール17に埋め込まれたプラグ18を介して配線19が一対のn型半導体領域12上のシリサイド層14に接続されている。

【0032】次に、図6を用いて、I/O部に形成されるnチャネルMISトランジスタ Q_3 を説明する。nチャネルMISトランジスタ Q_3 のしきい値電圧(V_{th})は相対的に高く、たとえば0.4V程度とすることができる。また、たとえば2種類の電源電圧を用いる場合は、nチャネルMISトランジスタ Q_3 に印加される動作電圧(V_{cc})は高い電圧であり、たとえば1.5V程度とすることができる。

【0033】nチャネルMISトランジスタ Q_3 は、前

記nチャネルMISトランジスタ Q_1 と同様に、p型の半導体基板1に形成された素子分離部に囲まれた活性領域に形成されて、半導体基板1の表面には、一対のn型半導体領域12によってソース、ドレインが構成されている。

【0034】しかし、半導体基板1上にはシリコン酸化膜6および高誘電率絶縁膜7からなる積層構造のゲート絶縁膜9が形成され、その上にシリコン多結晶膜10で構成されたゲート電極11が形成されている。また、上記積層膜(シリコン酸化膜6および高誘電率絶縁膜7)は、ゲート電極11およびスペーサ13と半導体基板1との間のみに形成されてゲート絶縁膜9を構成し、一対のn型半導体領域12の上面にはシリサイド層14が形成されている。

【0035】また、半導体基板1のほぼ全面を覆って、SAC用絶縁膜15と層間絶縁膜16が下層から順に形成されている。絶縁膜15および層間絶縁膜16には、一対のn型半導体領域12上のシリサイド層14に達するコンタクトホール17が開口しており、このコンタクトホール17に埋め込まれたプラグ18を介して配線19が一対のn型半導体領域12上のシリサイド層14に接続されている。

【0036】次に、図7を用いて、容量素子を構成するnチャネルMISトランジスタ Q_4 を説明する。たとえば2種類の電源電圧を用いる場合は、nチャネルMISトランジスタ Q_4 に印加される動作電圧(V_{cc})は低い電圧であり、たとえば0.85V程度とすることができる。

【0037】nチャネルMISトランジスタ Q_4 は、前記nチャネルMISトランジスタ Q_1 とほぼ同様の構造を有している。しかし、nチャネルMISトランジスタ Q_4 が形成される活性領域には、半導体基板1と同じ導電型のpウェルの他にnウェル4aを形成することができる。また、ゲート電極11に動作電圧(V_{cc})が印加され、一対のn型半導体領域12は接続されて接地電圧が印加される。

【0038】

【表1】

THIS PAGE BLANK (USP 10)

表 1

	I/O部	論理部	メモリ部	容量素子
Vcc	1.5V	0.85V	0.85V	0.85V
Vth	高 (0.4V)	低 (0.1V)	高 (0.4V)	—
ゲート絶縁膜	High-k/SiO	High-k	High-k	High-k
シリサイド層	あり	あり	なし	あり
SAC絶縁膜	SiN(Optional)	SiN(Optional)	SiN or High-k	SiN(Optional)
開口形状	円形	円形	円形orスロット	円形

High-k : 高誘電率絶縁膜
 SiO : シリコン酸化膜
 SiN : シリコン窒化膜

【0039】表1に、メモリ部のMISトランジスタ、論理部のMISトランジスタ、I/O部のMISトランジスタおよび容量素子を構成するMISトランジスタの構成をまとめる。

【0040】2種類の電源電圧に対応して低電圧が印加されるメモリ部のMISトランジスタ、論理部のMISトランジスタおよび容量素子を構成するMISトランジスタでは、高誘電率絶縁膜によってゲート絶縁膜が構成され、高電圧が印加されるI/O部のMISトランジスタでは、シリコン酸化膜および高誘電率絶縁膜からなる積層膜によってゲート絶縁膜が構成される。

【0041】また、論理部のMISトランジスタ、I/O部のMISトランジスタおよび容量素子を構成するMISトランジスタのソース、ドレインを構成する一対のn型半導体領域の上面にはシリサイド層が形成されるが、メモリ部のMISトランジスタのソース、ドレインを構成する一対のn型半導体領域の上面にはシリサイド層は形成されない。

【0042】また、コンタクトホールとゲート電極との合わせずれを許容することのできるSAC技術を必要とする場合は、層間絶縁膜に対して高エッチング選択比を有し、エッチングストップ層として機能するSAC用絶縁膜が層間絶縁膜の下に形成される。たとえば層間絶縁膜はシリコン酸化膜で構成され、SAC用絶縁膜はシリコン窒化膜で構成される。SAC技術を必要としない場合（実施の形態2に記載）は、上記SAC用絶縁膜は形成されないが、メモリ部ではゲート絶縁膜と同一層の高誘電率絶縁膜をエッチングストップ層として機能させることができる。

【0043】また、プラグを埋め込む開口の形状としては、いずれのMISトランジスタにおいても寄生容量低減の必要性から円形のコンタクトホールが好ましいが、前述したように、メモリ部はスロット型としてもよい。

【0044】次に、本実施の形態1である半導体集積回路装置の製造方法の一例を図8～図19に示す半導体基板の要部断面図を用いて工程順に説明する。半導体集積

回路装置に付加される電源電圧を2種類とし、メモリ部および論理部には低電圧、I/O部には高電圧が印加されるとした。

【0045】まず、図8に示すように、比抵抗が10Ωcm程度のp型のシリコン単結晶で構成される半導体基板1を用意し、この半導体基板1の主面に浅溝2を形成する。その後、半導体基板1に熱酸化処理を施し、さらに半導体基板1上にシリコン酸化膜3を堆積した後、これをCMP（chemical mechanical polishing）法で研磨して浅溝2の内部にシリコン酸化膜3を残すことにより素子分離部を形成する。続いて半導体基板1を約1000℃で熱処理することにより、素子分離部に埋め込んだシリコン酸化膜3を焼き締める。

【0046】次に、半導体基板1にp型不純物、たとえばボロンをイオン打ち込みしてp型ウェル4を形成し、続いて短チャネル効果を抑制するための不純物をイオン打ち込みしてバンチスルーストップ層5を形成する。次いで半導体基板1の表面をフッ酸系の水溶液を用いて洗浄した後、半導体基板1の表面に1.5nm程度の厚さのシリコン酸化膜6を形成する。シリコン酸化膜6は、たとえば熱酸化法または熱CVD（chemical vapor deposition）法により形成することができる。

【0047】次に、図9に示すように、パターンニングされたレジスト膜をマスクにしてメモリ部A1および論理部A2のシリコン酸化膜6を除去することにより、I/O部A3にシリコン酸化膜6を残す。

【0048】次に、図10に示すように、半導体基板1上に高誘電率絶縁膜7、たとえばアルミナ膜またはチタン酸化膜などを形成する。高誘電率絶縁膜7は、たとえばスパッタ法により堆積することができる。半導体基板1上に形成された高誘電率絶縁膜7の厚さは実効膜厚で1nm程度となるように設定され、たとえばアルミナ膜またはチタン酸化膜の場合は、比誘電率を考慮して2nm程度の厚さが堆積される。これにより、低い電源電圧が印加されるメモリ部A1および論理部A2には、高誘電率絶縁膜7からなる実効膜厚が1nm程度のゲート絶

THIS PAGE BLANK (USPTO)

縁膜8が形成され、高い電源電圧が印加されるI/O部A3には、シリコン酸化膜6と高誘電率絶縁膜7との積層膜からなる実効膜厚が2.5nm程度のゲート絶縁膜9が形成される。

【0049】次に、図11に示すように、半導体基板1上に、たとえば不純物が添加されたシリコン多結晶膜10をCVD法で堆積する。シリコン多結晶膜10の厚さは、たとえば140nm程度であり、そのシート抵抗は、たとえば100Ω/□程度である。次いでパターンニングされたレジスト膜をマスクにしてシリコン多結晶膜10をエッチングし、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタのゲート電極11を形成する。この後、半導体基板1に、たとえば800℃程度のドライ酸化処理を施す。

【0050】次に、図12に示すように、ゲート電極11をマスクとしてpウェル4にn型不純物、たとえばヒ素をイオン注入し、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタのソース、ドレインの一部を構成する拡張領域12aを形成する。上記ヒ素は、たとえば注入エネルギー3keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入する。なお、図示はしないが、さらにゲート電極11をマスクとしてpウェル4にp型不純物、たとえばボロンをイオン注入して、ソース、ドレイン空乏層の広がりを抑えてパンチスルーを抑制する効果を有するポケット領域を拡張領域12aの下部に形成してもよい。

【0051】次に、半導体基板1上にシリコン酸化膜をCVD法で堆積した後、このシリコン酸化膜をプラズマエッチングでエッチバックして、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタのゲート電極11の側壁にスペーサ13を形成する。上記プラズマエッチングでは、高誘電率絶縁膜7をエッチングストップ層として機能させることにより、半導体基板1へのダメージを防止することができる。

【0052】次に、図13に示すように、ゲート電極11およびスペーサ13をマスクとしてpウェル4にn型不純物、たとえばヒ素をイオン注入し、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタのソース、ドレインの他の一部を構成する拡散領域12bを形成する。上記ヒ素は、たとえば注入エネルギー45keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ で注入する。

【0053】次に、図14に示すように、メモリ部A1をレジスト膜で覆った後、半導体基板1上に露出している論理部A2の高誘電率絶縁膜7、およびI/O部A3のシリコン酸化膜6と高誘電率絶縁膜7との積層膜をスパッタエッチングで除去する。これにより、論理部A2およびI/O部A3の拡散領域12bの表面を露出させる。メモリ部A1の高誘電率絶縁膜7は、スパッタエッチングせずに半導体基板1上に残すことで、メモリ部A1の半導体基板1へのダメージを防止することができ

る。

【0054】次いで上記レジスト膜を除去した後、高融点金属膜、たとえば厚さ10~20nm程度のコバルト膜を、たとえばスパッタ法で半導体基板1上に堆積する。

【0055】次に、図15に示すように、500~600℃程度の熱処理を半導体基板1に施してメモリ部A1のMISトランジスタのゲート電極11の表面と、論理部A2のMISトランジスタのゲート電極11および拡散領域12bの表面と、I/O部A3のMISトランジスタのゲート電極11および拡散領域12bの表面とに選択的にシリサイド層14を形成する。この後、未反応のコバルト膜をウェットエッチングで除去し、次いでシリサイド層14の低抵抗化のため700~800℃程度の熱処理を半導体基板1に施す。熱処理後のシリサイド膜厚は30nm程度、シート抵抗は4Ω/□程度である。論理部A2およびI/O部A3の拡散領域12bの表面にシリサイド層14を形成することで、拡散領域12bが低抵抗化され、特に論理部A2の論理回路を高速化することができる。一方、メモリ部A1の拡散領域12bの表面にシリサイド層を形成しないことで、メモリ部A1の半導体基板1へのダメージを防止することができる。

【0056】次に、図16に示すように、半導体基板1上にプラズマCVD法でSAC用絶縁膜15、たとえばシリコン窒化膜を堆積する。素子分離部と、後の工程で形成されるコンタクトホールとの合わせ余裕が小さい場合は、合わせずれが許容できるSAC技術が用いられる。

【0057】次に、図17に示すように、半導体基板1上に、たとえばシリコン酸化膜で構成される層間絶縁膜16を形成する。次いでパターンニングされたレジスト膜をマスクとし、さらに絶縁膜15をエッチングストップ層として層間絶縁膜16をエッチングする。このエッチングでは、層間絶縁膜16のエッチング速度が絶縁膜15のエッチング速度よりも大きくなるエッチング条件が採用される。続いて絶縁膜15をエッチングする。このエッチングでは、絶縁膜15のエッチング速度が高誘電率絶縁膜7のエッチング速度よりも大きくなるエッチング条件が採用されて、高誘電率絶縁膜7をメモリ部A1におけるエッチングストップ層として機能させる。

【0058】これにより、論理部A2およびI/O部A3では、MISトランジスタの拡散領域12bの表面に設けられたシリサイド層14に達するコンタクトホール17が形成され、メモリ部A1では、高誘電率絶縁膜7に達するコンタクトホール17が形成される。コンタクトホール17は、たとえば直径が0.14μm程度の円形とすることができる。

【0059】なお、図示はしないが、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタの

THIS PAGE BLANK (USP:10)

ゲート電極11上のシリサイド層14に達するコンタクトホールも同時に形成される。

【0060】次に、図18に示すように、論理部A2およびI/O部A3をレジスト膜で覆った後、メモリ部A1のコンタクトホール17の底部の高誘電率絶縁膜7をスパッタエッチングで除去し、MISトランジスタの拡散領域12bに達するコンタクトホール17aを形成する。

【0061】なお、論理部A2およびI/O部A3のコンタクトホール17と、メモリ部A1のコンタクトホール17aとを異なる工程で形成してもよい。たとえば、まずパターニングされたレジスト膜をマスクにして論理部A2およびI/O部A3の層間絶縁膜16および絶縁膜15を順次エッチングし、コンタクトホール17を形成する。その後、パターニングされたレジスト膜をマスクにしてメモリ部A1の層間絶縁膜16、シリコン窒化膜15および高誘電率絶縁膜7を順次エッチングし、コンタクトホール17aを形成することもできる。

【0062】次に、図19に示すように、上記レジスト膜を除去した後、コンタクトホール17、17aの内部を含む半導体基板1の全面にチタン窒化膜を、たとえばCVD法で堆積し、さらにコンタクトホール17、17aを埋め込む金属膜、たとえばタングステン膜を形成する。タングステン膜は、CVD法またはスパッタ法により堆積することができる。次いでコンタクトホール17、17a以外の領域のチタン窒化膜および金属膜を、たとえばCMP法により除去してコンタクトホール17、17aの内部にプラグ18を形成する。

【0063】続いて、半導体基板1上に金属膜、たとえばタングステン膜を形成した後、パターニングされたレジスト膜をマスクとしたエッチングによって金属膜を加工し、配線19を形成することにより、本実施の形態1の半導体集積回路装置が略完成する。なお、必要に応じて、さらに上層の配線を形成してもよい。

【0064】このように、本実施の形態1によれば、論理部A2およびI/O部A3の各MISトランジスタを構成する拡散領域12b上の高誘電率絶縁膜7を除去し、その表面にシリサイド層14を形成することにより、拡散領域12bが低抵抗化して動作速度を高速化することができる。一方、メモリ部A1のMISトランジスタを構成する拡散領域12b上にはシリサイド層14を形成せずに、それを高誘電率絶縁膜7で覆うことにより、スペーサ13、シリサイド層14およびコンタクトホール17を形成する際に半導体基板1へ及ぼすダメージを防止してメモリセルの接合リーク電流を低減することができる。

【0065】（実施の形態2）本実施の形態2である半導体集積回路装置の一例を図20および図21に示す半導体基板の要部断面図を用いて説明する。

【0066】図20は、自己整合でシリサイド層14を

形成した後のメモリ部A1、論理部A2およびI/O部A3の各nチャネルMISトランジスタを示す。本実施の形態2の半導体集積回路装置は、前記実施の形態1の図1～図15に示した製造方法と同様にして、ゲート絶縁膜8、9、ゲート電極11、n型半導体領域（拡張領域12a、拡散領域12b）、スペーサ13、およびシリサイド層14が形成される。

【0067】しかし、論理部A2およびI/O部A3における各MISトランジスタのスペーサ13から素子分離部までの距離Lbが、高集積度が要求されるメモリ部A1におけるMISトランジスタのスペーサ13から素子分離部までの距離Laよりも大きく、論理部A2およびI/O部A3におけるコンタクトホール17と素子分離部との合わせ余裕を相対的に大きくとることができる。

【0068】従って、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタの拡散領域12bは、スペーサ13に対して自己整合で形成されるので、論理部A2およびI/O部A3の各MISトランジスタの拡散領域12bの幅は、メモリ部A1のMISトランジスタの拡散領域12bの幅よりも大きくなる。さらにスペーサ13の幅は、メモリ部A1、論理部A2およびI/O部A3の各MISトランジスタにおいて同じであることから、論理部A2およびI/O部A3における各MISトランジスタのゲート電極11から素子分離部までの距離は、メモリ部A1におけるMISトランジスタのゲート電極11から素子分離部までの距離よりも大きくなる。

【0069】図21は、さらに続く工程における配線19を形成した後のメモリ部A1、論理部A2およびI/O部A3の各MISトランジスタを示す。図に示すように、論理部A2およびI/O部A3ではSAC技術を用いることなく、すなわち層間絶縁膜16のエッチングストップ層として機能する絶縁膜（前記実施の形態1では絶縁膜15）を設けずに、層間絶縁膜16にコンタクトホール17が形成される。一方、メモリ部A1では、ゲート絶縁膜8と同一層の高誘電率絶縁膜7を層間絶縁膜16のエッチングストップ層として機能させて、コンタクトホール17を形成し、その後コンタクトホール17の底部の高誘電率絶縁膜7をスパッタエッチングで除去することにより、MISトランジスタの拡散領域12bに達するコンタクトホール17aが形成される。

【0070】このように、本実施の形態2によれば、論理部A2およびI/O部A3において、コンタクトホール17と素子分離部との合わせ余裕が相対的に大きい場合は、半導体基板1上にSAC用絶縁膜15を形成しなくてもよい。一方、メモリ部A1では、ゲート絶縁膜8と同一層の高誘電率絶縁膜7が層間絶縁膜16のエッチングストップ層として機能するので、メモリ部A1における上記合わせ余裕が相対的に小さく、コンタクトホー

THIS PAGE BLANK (USP10)

ル17の一部が素子分離部を構成するシリコン酸化膜3上に形成されても、シリコン酸化膜3の削れを防ぐことができる。

【0071】（実施の形態3）本実施の形態3である半導体集積回路装置の一例を図22に示す半導体基板の要部断面図を用いて説明する。

【0072】図22は、半導体集積回路装置を構成するメモリ部のnチャネルMISトランジスタを示す。

【0073】nチャネルMISトランジスタQ₁は、前記実施の形態1の図4に示したnチャネルMISトランジスタQ₁と同様に、素子分離部に囲まれた活性領域に形成されており、一対のn型半導体領域12によってソース、ドレインが構成され、ゲート絶縁膜8が高誘電率絶縁膜7で構成されている。さらに、半導体基板1のほぼ全面を覆って形成されたゲート絶縁膜8と同一層の高誘電率絶縁膜7、絶縁膜15および層間絶縁膜16には、コンタクトホール17aが開口しており、このコンタクトホール17aに埋め込まれたプラグ18を介して配線19が一対のn型半導体領域12に接続されている。

【0074】しかし、ゲート電極11は、シリコンゲルマニウム（SiGe）層20およびシリコン多結晶膜21が下層から順次堆積されてなる積層構造で構成されている。

【0075】シリコンゲルマニウムの導電不純物、たとえばp型不純物であるボロンなどの固溶限は共にシリコンよりも大きいことから、シリコンゲルマニウム層20のキャリア濃度を高くすることによって、ゲート電極11の空乏化を防止し、接触抵抗を低減することができる。また、シリコン多結晶膜21をシリコンゲルマニウム層20の上層に形成することにより、シリサイド化反応を促進させてゲート電極11の上面にシリサイド層14を形成することができる。

【0076】なお、本実施の形態3では、メモリ部A1のMISトランジスタに適用した場合について説明したが、論理部A2およびI/O部A3の各MISトランジスタにも適用することが可能であり、ゲート電極11をシリコンゲルマニウム層20およびシリコン多結晶膜21が下層から順に積層された構造とすることができる。

【0077】以上、本発明者によってなされた発明を本発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0078】たとえば、前記実施の形態では、nチャネルMISトランジスタに適用した場合について説明したが、pチャネルMISトランジスタに適用することも可能である。

【0079】

【発明の効果】本願において開示される発明のうち、代

表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0080】高速動作が要求される回路、たとえば論理部およびI/O部では、MISトランジスタのソース、ドレインを構成する半導体領域上の高誘電率絶縁膜を除去して、その表面に低抵抗のシリサイド層を形成することにより、高速動作を実現することができる。一方、高信頼度が要求される回路、たとえばメモリ部では、MISトランジスタのソース、ドレインを構成する半導体領域上にシリサイド層を形成せず、それを高誘電率絶縁膜で覆うことにより、スペーサ、シリサイド層およびコンタクトホールなどを形成する際に半導体基板へ及ぼすダメージを防止して高信頼度を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置のブロック図である。

【図2】メモリ部に形成されるDRAMセルの等価回路である。

【図3】メモリ部に形成されるSRAMセルの等価回路である。

【図4】メモリ部に形成されるnチャネルMISトランジスタを示す半導体基板の要部断面図である。

【図5】論理部に形成されるnチャネルMISトランジスタを示す半導体基板の要部断面図である。

【図6】I/O部に形成されるnチャネルMISトランジスタを示す半導体基板の要部断面図である。

【図7】容量素子を構成するnチャネルMISトランジスタを示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。



11

【図19】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図20】本発明の他の実施の形態である半導体集積回路装置を示す半導体基板の要部断面図である。

【図21】本発明の他の実施の形態である半導体集積回路装置を示す半導体基板の要部断面図である。

【図22】本発明の他の実施の形態であるメモリ部に形成されるnチャネルMISトランジスタを示す半導体基板の要部断面図である。

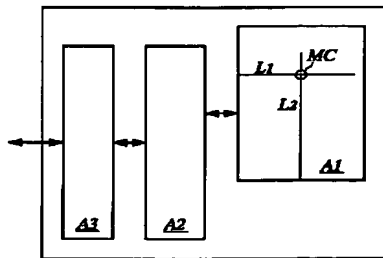
【符号の説明】

- 1 半導体基板
- 2 浅溝
- 3 シリコン酸化膜
- 4 pウェル
- 4 a nウェル
- 5 バンチスルーストップバ層
- 6 シリコン酸化膜
- 7 高誘電率絶縁膜
- 8 ゲート絶縁膜
- 9 ゲート絶縁膜
- 10 シリコン酸化膜
- 11 ゲート電極
- 12 n型半導体領域
- 12 a 拡張領域
- 12 b 拡散領域
- 13 スペーサ
- 14 シリサイド層
- 15 絶縁膜
- 16 層間絶縁膜

- * 17 コンタクトホール
- 17 a コンタクトホール
- 18 プラグ
- 19 配線
- 20 シリコンゲルマニウム層
- 21 シリコン多結晶膜
- A1 メモリ部
- A2 論理部
- A3 I/O部
- 10 MC メモリセル
- L₁ 選択線
- L₂ 選択線
- Q 選択用MISトランジスタ
- C キャパシタ
- Q_t 転送用MISトランジスタ
- Q_d 駆動用MISトランジスタ
- L_o 容量素子
- WL ワード線
- D データ線
- 20 /D データ線
- N₁ 記憶ノード
- N₂ 記憶ノード
- Q₁ nチャネルMISトランジスタ
- Q₂ nチャネルMISトランジスタ
- Q₃ nチャネルMISトランジスタ
- Q₄ nチャネルMISトランジスタ
- Q₅ nチャネルMISトランジスタ
- L_a 幅
- * L_b 幅

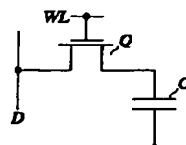
【図1】

図 1



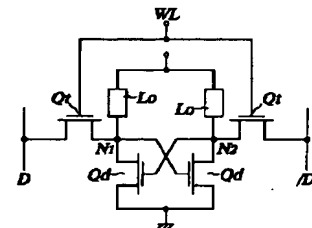
【図2】

図 2



【図3】

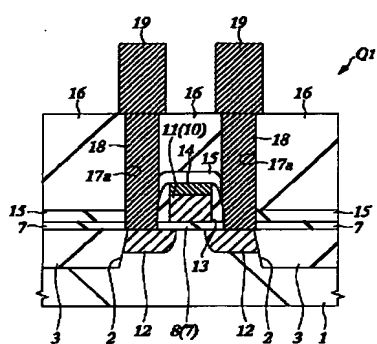
図 3



THIS PAGE BLANK (USP 10)

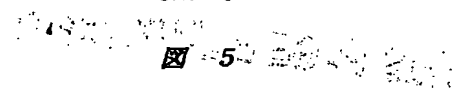
【图4】

图 4



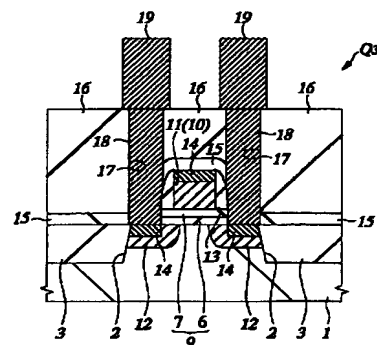
【图5】

图 5



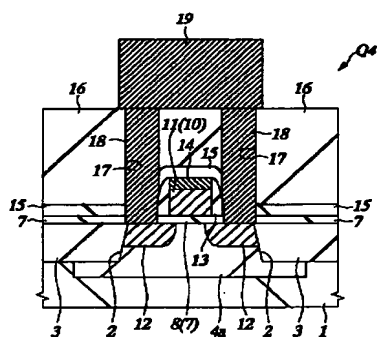
【图6】

图 6



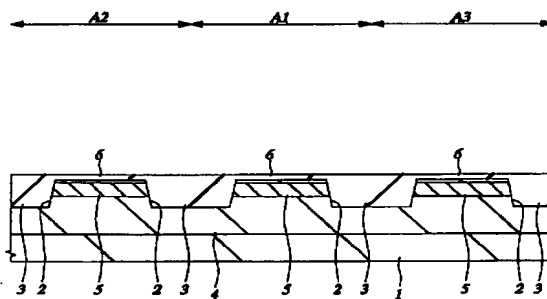
【图7】

图 7



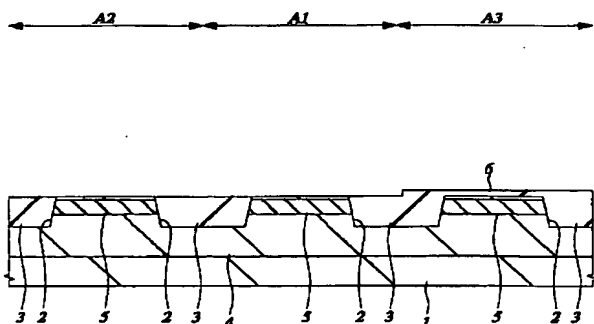
【图8】

图 8



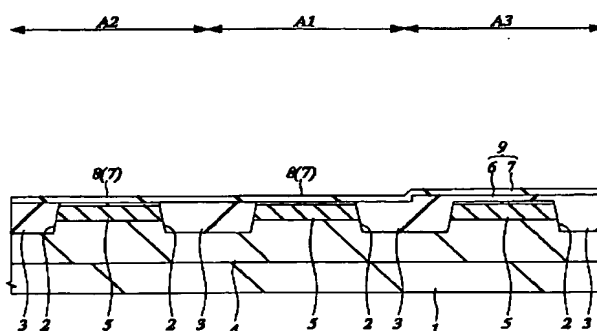
【图9】

图 9



【图10】

图 10

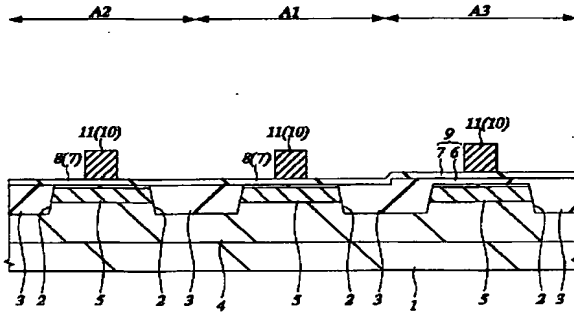




11

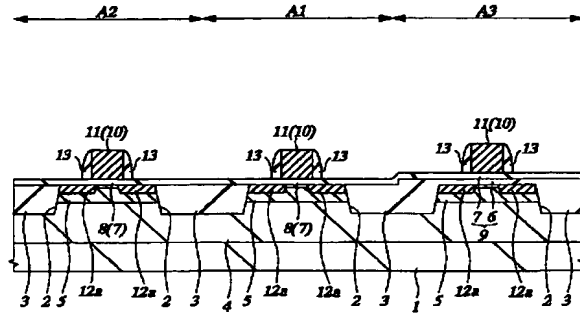
【図 11】

図 11



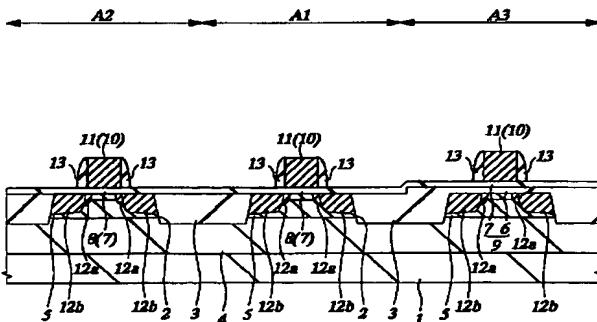
【図 12】

図 12



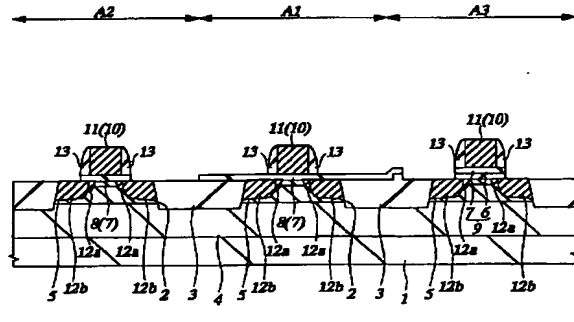
【図 13】

図 13



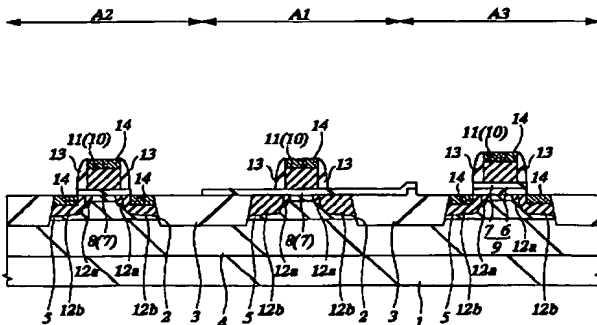
【図 14】

図 14



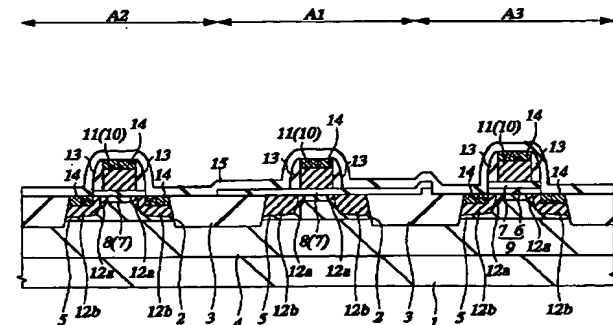
【図 15】

図 15



【図 16】

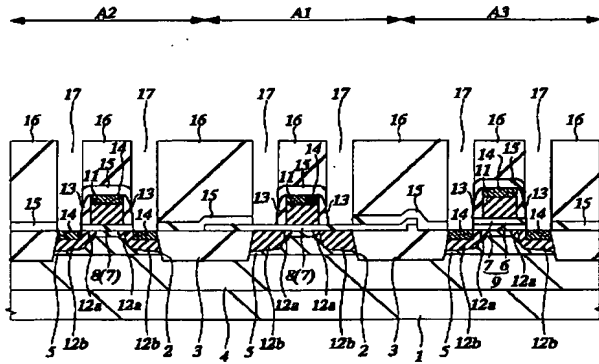
図 16



THIS PAGE BLANK (USF.O)

【図17】

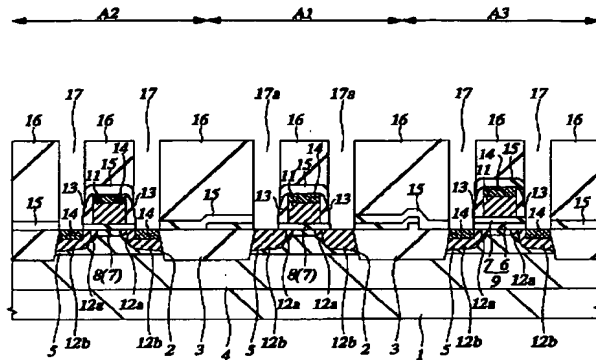
図 17



7 : 高誘電率絶縁膜
14 : シリサイド層
17 : コンタクトホール

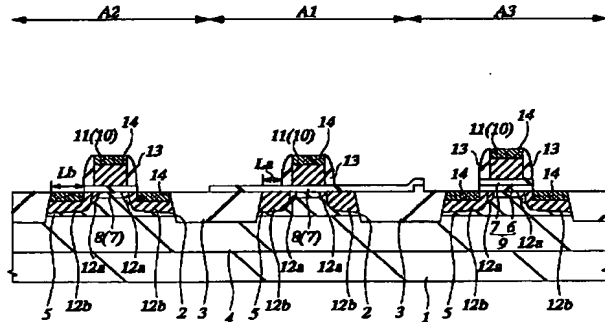
【図18】

図 18



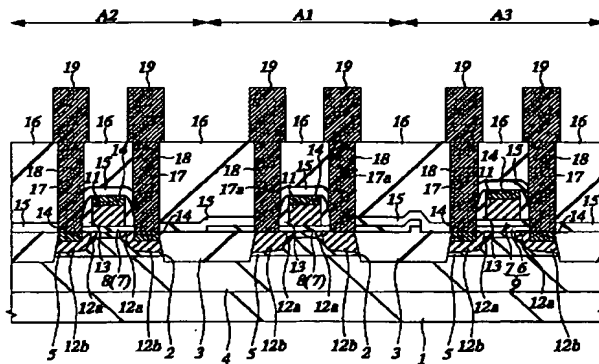
【図20】

図 20



【図19】

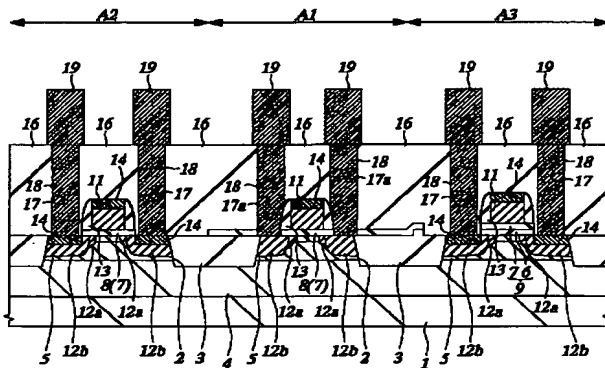
図 19



THIS PAGE BLANK (USPTO)

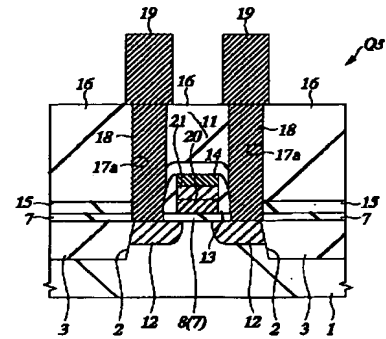
【図21】

図 21



【図22】

図 22



フロントページの続き

(51)Int.Cl.⁷

H01L 27/092
27/10

識別記号

461
481

F I

H01L 27/08

ターマコード (参考)

102H
321F
321K

(72)発明者 酒井 哲

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム (参考) 4M104 AA01 BB01 BB20 BB30 BB40

CC01 CC05 DD02 DD16 DD17
DD37 DD43 DD63 DD72 DD75
DD78 DD79 DD84 DD91 EE03
EE09 EE16 FF11 FF14 FF18
FF22 GG08 GG09 GG10 GG14
GG16 GG19 HH18
5F048 AB01 AB03 AB06 AB07 AC01
AC03 BA01 BB05 BB08 BB11
BB15 BB16 BC06 BE02 BF03
BF06 BF07 BG01 BG13 DA25
5F083 AD10 GA02 GA06 JA02 JA06
JA35 JA39 JA53 LA07 MA02
MA06 MA19 NA01 PR06 PR36
PR40 PR44 PR54 ZA07 ZA08
ZA12

THIS PAGE BLANK (USP 10)

METHOD FOR MANUFACTURING
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

BACKGROUND OF THE INVENTION

The present invention relates to a manufacturing technique of a semiconductor integrated circuit device, specifically to a technique effective for application to a semiconductor integrated circuit device having a short channel MIS (metal insulator semiconductor) of which gate length, the width of the gate electrode, is less than $0.1\text{ }\mu\text{m}$.

The film thickness of the gate insulating film in the MIS transistor of which gate length is less than $0.07\text{ }\mu\text{m}$ is presumed to be less than 1.2 nm . However, thinning a conventionally used silicon oxide film for use in the gate insulating film will cause the leakage current to exceed 10 A/cm^2 , which involves increase of the standby current, creating a problem.

Accordingly, a trial has been made which uses an insulating film having a comparably high relative dielectric constant (hereunder referred to as high dielectric constant insulating film), for example, an alumina film of which relative dielectric constant is about 7 to 11 for the gate insulating film, and reduces the effective film thickness while maintaining the

physical film thickness at 1.5 nm or more. Here, the effective film thickness signifies an equivalent silicon oxide film thickness in consideration of the relative dielectric constant.

As an example, the IEDM (International Electron Device Meetings "80 nm poly-silicon gated n-FETs with ultra-thin Al_2O_3 gate dielectric for ULSI applications" pp.223-226, 2000) discloses the performance characteristic of a MIS transistor having the gate insulating film made of an alumina film, having the gate length of less than 0.1 μm .

SUMMARY OF THE INVENTION

As the integration of semiconductor devices increases, the MIS transistor is made still finer according to the scaling law; and accompanied with this, the resistances of the gate, source, and drain regions increase, thus leading to a problem that the micro-structuring of the MIS transistor does not effect a high-speed performance. And, in the MIS transistor having the gate length of less than 0.2 μm , for example, a high-speed performance has been pursued by means of silicifying the conductive film forming the gate, and the semiconductor regions forming the sources and drains.

For example, in order to form silicide layers on the surfaces of the semiconductor regions forming sources and drains, a method is employed which removes an insulating film on the same layer as a gate insulating film on the substrate by means of, for example, the reactive etching, thereafter forms silicide layers of a low resistance on the surfaces of the semiconductor regions forming sources and drains by means of the self-aligning method. The above reactive etching is one of the dry etching techniques used in the semiconductor manufacturing process, which performs an etching through a chemical reaction by utilizing a chemically active excited activator. This technique will restrain etching damages to achieve a comparably high etching selection ratio.

However, the inventor of this invention examined the manufacturing technique of a MIS device using a high dielectric constant insulating film for the gate insulating film, which confirmed clearly that the reactive etching is difficult to remove the high dielectric constant insulating film, and this leads to impossibility of silicifying the semiconductor regions forming sources and drains.

As a means to solve the above problem that hinders manufacturing a high-speed MIS device, the sputtering

etching has been examined which physically removes a high dielectric constant insulating film on the semiconductor regions forming sources and drains. The result shows that the sputtering etching is likely to damage the substrate, and thereby invites the lowering of the reliability of the MIS transistor. As an example, applying the sputtering etching to memory cells created a problem that increased junction leakage currents and caused retention data errors, and so forth.

An object of the present invention is to provide a technique that allows forming a circuit to accomplish a high-speed performance and a circuit to attain a high reliability on one and the same substrate, in the semiconductor integrated circuit device having plural types of MIS transistors in which the gate insulating film is made of a high dielectric constant insulating film.

The above and other objects and novel features of the invention will become apparent from the descriptions and accompanying drawings of this specification.

The typical aspects of the invention disclosed in this application will be summarized as follows.

(1) The method for manufacturing a semiconductor integrated circuit device includes the steps of: preparing a semiconductor substrate of a first

conductive type, having a first region and a second region on a surface thereof; forming plural trenches on the surface of the semiconductor substrate in the first region and the second region, and forming a first insulating film inside the plural trenches; forming a second insulating film of which relative dielectric constant is higher than that of the first insulating film on the surface of the semiconductor substrate in the first region and the second region; forming a first conductive piece on the second insulating film in the first region, and forming a second conductive piece on the second insulating film in the second region; introducing first impurities of a second conductive type opposite to the first conductive type into the surface of the semiconductor substrate, in a region of both ends of the first conductive piece and a region of both ends of the second conductive piece; removing the second insulating film, except at least a lower layer of the first conductive piece and the second region; depositing a high melting point metal film to overlie the semiconductor substrate; and selectively forming a silicide layer in a region between the first conductive piece on the surface of the semiconductor substrate and the first insulating film, in the first region.

(2) The method for manufacturing a semiconductor

integrated circuit device further includes, in addition to the steps included in the above manufacturing method (1), the steps of: depositing a third insulating film in the first and second regions; applying etching to the third insulating film to form a first contact hole in a region between the first conductive piece and the first insulating film, in the first region; applying etching to the third insulating film to form a second contact hole in a region between the second conductive piece and the first insulating film, in the second region; and forming a third conductive piece in the first contact hole, and a fourth conductive piece in the second contact hole, in which a distance between the first conductive piece and the first insulating film in the first region is larger than a distance between the second conductive piece and the first insulating film in the second region.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a block diagram of a semiconductor integrated circuit device being one embodiment of the invention;

Fig. 2 is an equivalent circuit of a DRAM cell formed in a memory region;

Fig. 3 is an equivalent circuit of a SRAM cell formed in a memory region;

Fig. 4 is a sectional view of the major part of the semiconductor substrate, which illustrates an n-channel MIS transistor formed in a memory region;

Fig. 5 is a sectional view of the major part of the semiconductor substrate, which illustrates the n-channel MIS transistor formed in a logic region;

Fig. 6 is a sectional view of the major part of the semiconductor substrate, which illustrates the n-channel MIS transistor formed in an I/O region;

Fig. 7 is a sectional view of the major part of the semiconductor substrate, which illustrates the n-channel MIS transistor forming a capacitance element;

Fig. 8 is a sectional view of the major part of the semiconductor substrate, which illustrates a method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 9 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 10 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 11 is a sectional view of the major part of

the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 12 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 13 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 14 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 15 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 16 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 17 is a sectional view of the major part of the semiconductor substrate, which illustrates the

method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 18 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 19 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being the one embodiment of the invention;

Fig. 20 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing a semiconductor integrated circuit device being another embodiment of the invention;

Fig. 21 is a sectional view of the major part of the semiconductor substrate, which illustrates the method for manufacturing the semiconductor integrated circuit device being another embodiment of the invention; and

Fig. 22 is a sectional view of the major part of the semiconductor substrate, illustrating an n-channel MIS transistor formed in a memory region, being another embodiment of the invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

The embodiments of the invention will be described in detail with reference to the accompanying drawings. In all the drawings for explaining the embodiments, the members having the same functions are given the same symbols to omit repetitive descriptions.

[Embodiment 1]

Fig. 1 illustrates an example of a block diagram of the semiconductor integrated circuit device being one embodiment of the invention. First, the construction of the semiconductor integrated circuit device of the embodiment 1 will be outlined based on the drawing.

The semiconductor integrated circuit device is roughly divided into a memory region, logic region, and I/O (Input/Output interface) region.

The memory region A1 has 2^{N+M} pieces of memory cells MC (or, simply cells) arrayed, each of which memorizes, for example, one bit of binary information, which is capable of memorizing information of 2^{N+M} bits. The memory cells MC are arrayed two-dimensionally in a matrix structure, among which a memory cell MC is accessed by appointing each one of selection lines L_1 , L_2 in the row and column directions to select the memory cell MC lying on the intersection. Assuming that the number of the selection line L_1 in the row direction is 2^N and the number

of the selection line L_2 in the column direction is 2^M , the number of the circuits to drive the memory cells is $2^N + 2^M$. The memory region A1 is called memory cell array, memory matrix, memory array, or simply array. And, the selection line L_1 in the row direction is called row line, X line, or word line; the selection line L_2 in the column direction is called column line, Y line, or data line.

The logic region A2 is an associated circuit block that controls the memory region A1 on the basis of the control signals or data to the I/O region A3, and exchanges data with the memory region A1. One of typical circuit blocks is a decoder, for example. The decoders constitute a logic circuit group that receives N pairs and M pairs of address signals from the address buffers inside the I/O region A3, and selects one row line among the 2^N row lines and one column line among 2^M column lines. The drivers connected to the outputs of individual decoders drive the row lines and the column lines. It also includes an I/O control circuit that controls the exchange of data, and so forth.

The I/O region A3 is a circuit block that converts the control signals and the write data inputted from the outside into internal signals to transfer the results to the logic region A2, and outputs to the outside the read data that are taken out to the logic region A2 from

the memory region A1. One of typical circuit blocks is an address buffer, for example. The address buffers are circuits that receive $(N + M)$ address input signals for appointing cell selection addresses inside the memory region A1, and generate N pairs and M pairs of internal address signals. It also includes a data I/O circuit, write control circuit or control block circuit, and so forth.

Next, a memory cell arranged in the memory region A1 is shown as an example. Fig. 2 illustrates an equivalent circuit of a memory cell of a DRAM (Dynamic Random Access Memory); Fig. 3 illustrates an equivalent circuit of a memory cell of a SRAM (Static Random Access Memory). In addition to these, memory cells can be cited which constitute a logic consolidated memory having memory circuits and logic circuits formed on one substrate, and a nonvolatile memory, etc., however the explanations of these will be omitted.

As shown in Fig. 2, a DRAM cell is composed of a MIS transistor Q that performs a part of a switch, and a capacitor C that stores information charges. The DRAM cell stores information of whether the capacitor C holds charges or not, that is, whether the terminal voltage across the capacitor C is high or low, in correspondence with the binary information "1", "0". A data write

operation accompanies applying a voltage corresponding to the data from the outside to the cell. A data read operation involves taking out information of whether the capacitor C holds the charges or not to the outside of the cell, in correspondence with the high or low of the voltage, and checking the information.

As shown in Fig. 3, a SRAM cell is composed of a flip-flop circuit to store data and two transfer MIS transistors Q_t . By applying a voltage to the word line WL to turn on the transfer MIS transistors Q_t , the data are exchanged between the data line pair D, \bar{D} and the flip-flop circuit. The flip-flop circuit is configured with two inverters in which the input of one inverter is connected to the output of the other inverter, and the output of the one is connected to the input of the other. The inverters are made up with load elements L_o and drive MIS transistors Q_d . The load element L_o can be made of a MIS transistor or a resistance element, for example, a polycrystalline silicon film.

During data writing, the high voltage (H) is applied to one of the data line pair D, \bar{D} , and the low voltage (L) is applied to the other to give these voltages to a pair of nodes N_1 , N_2 . The two combinations of these voltages to be given (D, \bar{D} are given H, L or L, H, respectively) are associated with the binary write data.

The data reading is performed by detecting the voltages appearing on the data line pair D, \bar{D} in correspondence with the combinations of the high and low of the voltages at the nodes N_1, N_2 .

Next, an example of the semiconductor integrated circuit device being the embodiment 1 will be described by using the sectional views of the major part of the semiconductor substrate, illustrated in Fig. 4 through Fig. 7. Fig. 4 illustrates an n-channel MIS transistor formed in the memory region; Fig. 5 the n-channel MIS transistor formed in the logic region; Fig. 6 the n-channel MIS transistor formed in the I/O region; and Fig. 7 the n-channel MIS transistor forming a capacitance element.

First, an n-channel MIS transistor Q_1 formed in the memory region will be described with Fig. 4. As an example for the n-channel MIS transistor Q_1 can be quoted the selection MIS transistor Q being a constituent of the DRAM cell mentioned in Fig. 2, and the transfer MIS transistor Q_t and the drive MIS transistor Q_d being constituents of the SRAM cell mentioned in Fig. 3. And, the threshold voltage (V_{th}) of the n-channel MIS transistor Q_1 is comparably high, which can be regarded as, for example, about 0.4 Volt. In case of using two kinds of supply voltages, for example, the operation

voltage (V_{cc}) applied to the n-channel MIS transistor Q_1 is a low voltage, which can be set to, for example, about 0.85 Volt.

The n-channel MIS transistor Q_1 is formed in an active region surrounded by device isolation sections formed on a p-type semiconductor substrate 1. The device isolation sections are made up with shallow trenches 2 formed on the semiconductor substrate 1, and a silicon oxide film 3 embedded therein. On the surface of the semiconductor substrate 1, a pair of n-type semiconductor regions 12 forms the source and the drain.

A gate insulating film 8 formed of a high dielectric constant insulating film 7 is formed on the semiconductor substrate 1, on which a gate electrode (conductive piece) 11 formed of a polycrystalline silicon film 10 is formed. The high dielectric constant insulating film 7 is formed on substantially the whole surface of the active regions and the device isolation sections overlying the semiconductor substrate 1. A spacer (sidewall insulating film) 13 made of, for example, a silicon oxide film is formed on the sidewall of the gate electrode 11, and a silicide layer 14 is formed on the gate electrode 11.

To cover substantially the whole surface of the semiconductor substrate 1, a SAC (self-aligned contact)

insulating film 15 and an interlayer insulating film 16 are formed in the order from the lower layer. The SAC insulating film 15 can be made of, for example, a silicon nitride film; the interlayer insulating film 16 can be made of, for example, a silicon oxide film. The SAC insulating film 15 functions as an etching stopper layer for the interlayer insulating film 16.

However, in case the high dielectric constant insulating film 7 can be used as an etching stopper layer for the interlayer insulating film 16, it is not necessary to form the SAC insulating film 15.

Contact holes 17a are formed through the interlayer insulating film 16, the insulating film 15, and the high dielectric constant insulating film 7 on the same layer as the gate insulating film 8, to reach a pair of the n-type semiconductor regions 12. Wires 19 are connected to a pair of the n-type semiconductor regions 12 through plugs (conductive pieces) 18 buried in the contact holes 17a. As a shape of the hole to bury the plug 18, a circular contact hole is preferred because of the necessity of reducing the parasitic capacitance.

However, a slot shape may be adopted which is formed to bridge the n-type semiconductor regions 12 forming the source and the drain and the device isolation sections. In this case, conductive films to be buried in this slot

can also be used as local wirings.

Next, an n-channel MIS transistor Q_2 formed in the logic region will be described with Fig. 5. The threshold voltage (V_{th}) of the n-channel MIS transistor Q_2 is comparably low, which can be regarded as, for example, about 0.1 Volt. In case of using two kinds of supply voltages, for example, the operation voltage (V_{cc}) applied to the n-channel MIS transistor Q_2 is a low voltage, which can be set to, for example, about 0.85 Volt.

The n-channel MIS transistor Q_2 is formed, in the same manner as the n-channel MIS transistor Q_1 , in the active region surrounded by the device isolation sections formed on the p-type semiconductor substrate 1. On the surface of the semiconductor substrate 1, a pair of the n-type semiconductor regions 12 forms the source and the drain. Further, the gate insulating film 8 formed of the high dielectric constant insulating film 7 is formed on the semiconductor substrate 1, on which the gate electrode 11 formed of the polycrystalline silicon film 10 is formed. The spacer 13 and the silicide layer 14 are formed on the sidewall and on the upper surface of the gate electrode 11, respectively.

However, the high dielectric constant insulating film 7 is formed only in a region surrounded by the gate

electrode 11, the spacer 13, and the semiconductor substrate 1, which makes up the gate insulating film 8. The silicide layers 14 for lowering the resistance are formed on a pair of the n-type semiconductor regions 12.

To cover substantially the whole surface of the semiconductor substrate 1, the SAC insulating film 15 and the interlayer insulating film 16 are formed in the order from the lower layer. Contact holes 17 are formed through the interlayer insulating film 16 and the insulating film 15, to reach the silicide layers 14 on a pair of the n-type semiconductor regions 12. Wires 19 are connected to the silicide layers 14 on a pair of the n-type semiconductor regions 12 through the plugs 18 buried in the contact holes 17.

Next, an n-channel MIS transistor Q_3 , formed in the I/O region will be described with Fig. 6. The threshold voltage (V_{th}) of the n-channel MIS transistor Q_3 is comparably high, which can be regarded as, for example, about 0.4 Volt. In case of using two kinds of supply voltages, for example, the operation voltage (V_{cc}) applied to the n-channel MIS transistor Q_3 is a high voltage, which can be set to, for example, about 1.5 Volt.

The n-channel MIS transistor Q_3 is formed, in the same manner as the n-channel MIS transistor Q_1 , in the active region surrounded by the device isolation

sections formed on the p-type semiconductor substrate 1. On the surface of the semiconductor substrate 1, a pair of the n-type semiconductor regions 12 forms the source and the drain.

However, a gate insulating film 9 of a laminated structure made of a silicon oxide film 6 and the high dielectric constant insulating film 7 is formed on the semiconductor substrate 1. The gate electrode 11 of the polycrystalline silicon film 10 is formed on the gate insulating film 9. And, the laminated layer (the silicon oxide film 6 and the high dielectric constant insulating film 7) is formed only in a region surrounded by the gate electrode 11, the spacer 13, and the semiconductor substrate 1, which makes up the gate insulating film 9. The silicide layers 14 are formed on a pair of the n-type semiconductor regions 12.

To cover substantially the whole surface of the semiconductor substrate 1, the SAC insulating film 15 and the interlayer insulating film 16 are formed in the order from the lower layer. The contact holes 17 are formed through the interlayer insulating film 16 and the insulating film 15, to reach the silicide layers 14 on a pair of the n-type semiconductor regions 12. The wires 19 are connected to the silicide layers 14 on a pair of the n-type semiconductor regions 12 through the plugs

18 buried in the contact holes 17.

Next, an n-channel MIS transistor Q_4 , forming the capacitance element will be described with Fig. 7. In case of using two kinds of supply voltages, for example, the operation voltage (V_{cc}) applied to the n-channel MIS transistor Q_4 , is a low voltage, which can be set to, for example, about 0.85 Volt.

The n-channel MIS transistor Q_4 has substantially the same structure as the n-channel MIS transistor Q_1 . However, in the active region that forms the n-channel MIS transistor Q_4 , an n-well 4a can be formed in addition to a p-well of the same conductive type as the semiconductor substrate 1. And, the operation voltage (V_{cc}) is applied to the gate electrode 11, and a pair of the n-type semiconductor regions 12 is connected to the ground voltage.

[Table 1]

	I/O region	Logic region	Memory region	Capacitance element
Vcc	1.5V	0.85V	0.85V	0.85V
Vth	High (0.4V)	Low (0.1V)	High (0.4V)	---
Gate insulating film	High-k/SiO	High-k	High-k	High-k
Silicide layer	Included	Included	Not included	Included
SAC insulating film	SiN (Optional)	SiN (Optional)	SiN or High-k	SiN (Optional)
Shape of contact hole	Circular	Circular	Circular or slot	Circular

High-k: high dielectric constant insulating film

SiO: silicon oxide film

SiN: silicon nitride film

Table 1 gives a brief summary of the construction of the MIS transistor in the memory region, MIS transistor in the logic region, MIS transistor in the I/O region, and MIS transistor forming the capacitance element.

In the MIS transistor in the memory region, MIS

transistor in the logic region, and MIS transistor forming the capacitance element to which a low voltage is applied in correspondence with the two kinds of supply voltages, the gate insulating film is made of the high dielectric constant insulating film; in the MIS transistor in the I/O region, the gate insulating film is made of the laminated film composed of the silicon oxide film and the high dielectric constant insulating film.

And, the silicide layers are formed on the upper surfaces of a pair of the n-type semiconductor regions that form the sources and the drains of the MIS transistors in the logic region, MIS transistors in the I/O region, and MIS transistors forming the capacitance elements; however, the silicide layers are not formed on the upper surfaces of a pair of the n-type semiconductor regions that form the sources and the drains of the MIS transistors in the memory region.

When the circumstances need the SAC technique that permits an alignment dislocation between the contact holes and the gate electrode, the SAC insulating film is formed beneath the interlayer insulating film, which has a high etching selection ratio against the interlayer insulating film and functions as an etching stopper layer. For example, the interlayer insulating film is formed

of a silicon oxide film, and the SAC insulating film is formed of a silicon nitride film. When the circumstances do not need the SAC technique (described in the embodiment 2), the SAC insulating film is not formed, however the high dielectric constant insulating film of the same layer as the gate insulating film can be served as an etching stopper layer.

As a shape of the hole in which the plug is buried, a circular contact hole is preferred because of the necessity of reducing the parasitic capacitance in any MIS transistors. However, the memory region admits the slot form as well.

Next, one example of the method for manufacturing the semiconductor integrated circuit device being the embodiment 1 will be explained in the process order with reference to the sectional views of the major part of the semiconductor substrate, illustrated in Fig. 8 through Fig. 19. It is assumed that the semiconductor circuit device is supplied with two kinds of supply voltages, the memory region and the logic region are given a low voltage, and the I/O region is given a high voltage.

As shown in Fig. 8, first the semiconductor substrate 1 is prepared which is made of a p-type silicon monocrystal with a specific resistance of about $10\ \Omega$

cm, and the shallow trenches 2 are formed on the principal plane of the semiconductor substrate 1. Thereafter, a thermal oxidation processing is applied to the semiconductor substrate 1, and the silicon oxide film 3 is deposited to overlies the semiconductor substrate 1. Then, the deposited layer is polished by means of the CMP (chemical mechanical polishing) method so as to leave the silicon oxide film 3 inside the shallow trenches 2, thereby forming the device isolation sections. Next, a heat treatment is applied to the semiconductor substrate 1 under about 1000°C to thereby fasten the silicon oxide film 3 embedded in the device isolation sections.

Next, boron ions are implanted into the semiconductor substrate 1, as the p-type impurities, to form the p-type well 4. Subsequently, ions of impurities are implanted to form a punch-through stopper layer 5, thereby restraining the short channel effect. And, after the surface of the semiconductor substrate 1 is washed with aqueous solution of the hydrofluoric acid system, the silicon oxide film 6 having the thickness of about 1.5 nm is formed on the surface of the semiconductor substrate 1. The silicon oxide film 6 can be formed by means of the thermal oxidation method or the thermal CVD (chemical vapor deposition) method.

Next, as shown in Fig. 9, the silicon oxide film

6 is removed from the memory region A1 and logic region A2 by serving a patterned resist film as a mask, thereby leaving the silicon oxide film 6 on the I/O region A3.

Next, as shown in Fig. 10, the high dielectric constant insulating film 7, for example, an alumina film or a titanium oxide film is formed to overlie the semiconductor substrate 1. The high dielectric constant insulating film 7 can be deposited by means of the sputtering method. The thickness of the high dielectric constant insulating film 7 formed to overlie the semiconductor substrate 1 is set so that the effective thickness thereof becomes about 1 nm. In case of an alumina film or a titanium oxide film, the film is deposited to about 2 nm thick in consideration of the relative dielectric constant. Thereby, the gate insulating film 8 made of the high dielectric constant insulating film 7 having the effective film thickness of about 1 nm is formed in the memory region A1 and logic region A2 to which a low voltage is applied; and the gate insulating film 9 composed of a laminated film of the silicon oxide film 6 and the high dielectric constant insulating film 7 having the effective film thickness of about 2.5 nm is formed in the I/O region A3 to which a high voltage is applied.

Next, as shown in Fig. 11, the polycrystalline

silicon film 10 with impurities added is deposited by means of the CVD method, to overlies the semiconductor substrate 1. The thickness of the polycrystalline silicon film 10 is about 140 nm, and the sheet resistance thereof is about $100 \Omega/\square$. Next, the polycrystalline silicon film 10 is etched by using a patterned resist film as a mask to form the gate electrodes 11 of the MIS transistors in the memory region A1, logic region A2, and I/O region A3. Thereafter, the dry oxidation processing of about 800 °C is applied to the semiconductor substrate 1.

Next, as shown in Fig. 12, the ion implantation of n-type impurity, for example, arsenic is executed to the p-well 4 with the gate electrodes 11 served as a mask, thereby forming diffusion regions 12a that constitute parts of the sources and the drains of the MIS transistors in the memory region A1, logic region A2, and I/O region A3. The arsenic ions are implanted under the energy 3keV and the dose $1 \times 10^{15} \text{ cm}^{-2}$. Although not illustrated here, the ion implantation of p-type impurity, for example, boron may be executed to the p-well 4 with the gate electrodes 11 served as a mask, thereby forming pocket regions underneath the diffusion regions 12a, which effect to restrain expansions of the depletion layers in the source and drain regions to thereby suppress the

punch through.

Next, the silicon oxide film is deposited to overlie the semiconductor substrate 1 by the CVD method, and then the silicon oxide film is etched back by the plasma etching, thereby forming the spacers 13 on the sidewalls of the gate electrodes 11 of the MIS transistors in the memory region A1, logic region A2, and I/O region A3. In the plasma etching, the high dielectric constant insulating film 7 functions as an etching stopper layer, which prevents damages to the semiconductor substrate 1.

Next, as shown in Fig. 13, the ion implantation of n-type impurity, for example, arsenic is executed to the p-well 4 with the gate electrodes 11 and the spacers 13 served as a mask, thereby forming diffusion regions 12b that constitute the other parts of the sources and the drains of the MIS transistors in the memory region A1, logic region A2, and I/O region A3. The arsenic ions are implanted under the energy 45keV and the dose $2 \times 10^{15} \text{ cm}^{-2}$.

Next, as shown in Fig. 14, after covering the memory region A1 with a resist film, the high dielectric constant insulating film 7 in the logic region A2 exposed over the semiconductor substrate 1, and the laminated film composed of the silicon oxide film 6 and the high dielectric constant insulating film 7 in the I/O region

A3 are removed by the sputtering etching. Thereby, the surfaces of the diffusion regions 12b in the logic region A2 and I/O region A3 are exposed. The sputtering etching is not applied to the high dielectric constant insulating film 7 in the memory region A1 to leave it over the semiconductor substrate 1, thereby preventing damages to the semiconductor substrate 1 in the memory region A1.

And, after removing the resist film, a high melting point metal film, for example, a cobalt film of about 10 to 20 nm thick is deposited to overlie the semiconductor substrate 1 by the sputtering method.

Next, as shown in Fig. 15, the heat treatment of 500 to 600°C is applied to the semiconductor substrate 1 to form the silicide layers 14 selectively on the surfaces of the gate electrodes 11 of the MIS transistors in the memory region A1, on the surfaces of the gate electrodes 11 and the diffusion regions 12b of the MIS transistors in the logic region A2, and on the surfaces of the gate electrodes 11 and the diffusion regions 12b of the MIS transistors in the I/O region A3. After this processing, the un-reacted cobalt film is removed by the wet etching; subsequently the heat treatment of 700 to 800°C is applied to the semiconductor substrate 1 to reduce the resistances of the silicide layers 14. The

thickness of the silicide layers 14 after the heat treatment is about 30 nm, and the sheet resistance thereof is about $4 \Omega/\square$. To form the silicide layers 14 on the surfaces of the diffusion regions 12b in the logic region A2 and I/O region A3 lowers the resistances of the diffusion regions 12b, which prompts to increase the operation speed of the logic circuit especially in the logic region A2. On the other hand, not to form the silicide layers on the surfaces of the diffusion regions 12b in the memory region A1 prevents damages to the semiconductor substrate 1 in the memory region A1.

Next, as shown in Fig. 16, the SAC insulating film 15, for example, a silicon nitride film is deposited to overlies the semiconductor substrate 1 by the plasma CVD method. When the alignment margin of the device isolation sections and the contact holes formed at the subsequent process is insufficient, the SAC technique that permits an alignment dislocation is used.

Next, as shown in Fig. 17, the interlayer insulating film 16, for example, a silicon oxide film is formed to overlies the semiconductor substrate 1. Subsequently, the interlayer insulating film 16 is etched by using a patterned resist film as a mask and using the insulating film 15 as an etching stopper layer. This etching adopts the etching condition under which the etching speed of

the interlayer insulating film 16 becomes higher than the etching speed of the insulating film 15. Next, the insulating film 15 is etched. This etching adopts the etching condition under which the etching speed of the insulating film 15 becomes higher than the etching speed of the high dielectric constant insulating film 7, and makes the high dielectric constant insulating film 7 function as an etching stopper layer in the memory region A1.

Thus, the contact holes 17 are formed in the logic region A2 and I/O region A3, to reach the silicide layers 14 formed on the surfaces of the diffusion regions 12b of the MIS transistors, and the contact holes 17 are formed to reach the high dielectric constant insulating film 7 in the memory region A1. The the contact holes 17 can be made circular, of which diameter is about 0.14 μm .

Although not illustrated, the contact holes are simultaneously formed which reach the silicide layers 14 on the gate electrodes 11 of the MIS transistors in the memory region A1, logic region A2, and I/O region A3.

Next, as shown in Fig. 18, after covering the logic region A2 and the I/O region A3 with a resist film, the high dielectric constant insulating film 7 on the bottoms

of the contact holes 17 in the memory region A1 is removed by the sputtering etching, thereby forming the contact holes 17a that reach the diffusion regions 12b of the MIS transistors.

Now, the contact holes 17 in the logic region A2 and I/O region A3 and the contact holes 17a in the memory region A1 may be formed in different processes. The following process may be adopted as an example. The interlayer insulating film 16 and the insulating film 15 in the logic region A2 and I/O region A3 are sequentially etched with a patterned resist film served as a mask to form the contact holes 17; and then, the interlayer insulating film 16, the insulating film 15, and the high dielectric constant insulating film 7 in the memory region A1 are sequentially etched to form the contact holes 17a.

Next, as shown in Fig. 19, after removing the above resist film; a titanium nitride film is deposited to overlie the whole semiconductor substrate 1 including the insides of the contact holes 17, 17a, for example, by the CVD method. Further, a metal film to bury the contact holes 17, 17a, for example, a tungsten film is formed. The tungsten film can be deposited by the CVD method or sputtering method. Subsequently, the titanium nitride film and the metal film lying in the

other areas than the contact holes 17, 17a are removed, for example, by the CMP method to form the plugs 18 inside the contact holes 17, 17a.

Subsequently, after forming a metal film, for example, a tungsten film to overlie the semiconductor substrate 1, the metal film is processed through the etching that serves a patterned resist film as a mask, thereby forming the wires 19. At this stage, the semiconductor integrated circuit device of the embodiment 1 is formed virtually completely. Further, the upper layer wires may be formed as needed.

Thus, according to the embodiment 1, the high dielectric constant insulating film 7 on the diffusion regions 12b of the MIS transistors in the logic region A2 and I/O region A3 is removed, and on the surfaces thereof, the silicide layers 14 are formed to thereby lower the resistances of diffusion regions 12b and increase the operation speed. On the other hand, the silicide layers 14 are not formed on the diffusion regions 12b of the MIS transistors in the memory region A1, and the diffusion regions 12b are covered with the high dielectric constant insulating film 7, which makes it possible to prevent damages to the semiconductor substrate 1 during forming the spacers 13, silicide layers 14, and contact holes 17, and to reduce the

junction leakage currents flowing across the memory cells.

[Embodiment 2]

Another example of the semiconductor integrated circuit device being the embodiment 2 will be described by using the sectional views of the major part of the semiconductor substrate, illustrated in Fig. 20 and Fig. 21.

Fig. 20 illustrates the n-channel MIS transistors in the memory region A1, logic region A2, and I/O region A3, which has completed forming the silicide layers 14 through the self-aligning process. In the semiconductor integrated circuit device of the embodiment 2, the gate insulating films 8, 9, gate electrodes 11, n-type semiconductor regions (diffusion regions) 12a, 12b, spacers 13, and silicide layers 14 are formed in the same manner as the manufacturing method having already been described in the embodiment 1 with Fig. 1 through Fig. 15.

However, it is possible to set the distances L_b from the spacers 13 to the device isolation sections of the MIS transistors in the logic region A2 and I/O region A3 larger than the distances L_a from the spacers 13 to the device isolation sections of the MIS transistors in

the memory region A1 that a higher integration is requested to, and to set comparably larger the alignment margin between the contact holes 17 and the device isolation sections in the logic region A2 and I/O region A3.

Therefore, the diffusion regions 12b of the MIS transistors in the memory region A1, logic region A2, and I/O region A3 are formed through the self-aligning to the spacers 13; accordingly, the widths of the diffusion regions 12b of the MIS transistors in the logic region A2 and I/O region A3 become larger than the widths of the diffusion regions 12b of the MIS transistors in the memory region A1. Since the widths of the spacers 13 are the same in the MIS transistors in the memory region A1, logic region A2, and I/O region A3, the distances from the gate electrodes 11 to the device isolation sections of the MIS transistors in the logic region A2 and I/O region A3 become larger than the distances from the gate electrodes 11 to the device isolation sections of the MIS transistors in the memory region A1.

Fig. 21 illustrates the MIS transistors in the memory region A1, logic region A2, and I/O region A3, which has completed forming the wires 19 through the subsequent process.

As illustrated in the drawing, without using the SAC

technique, namely, without forming the insulating film that functions as an etching stopper layer (the insulating film 15 in the embodiment 1) for the interlayer insulating film 16 in the logic region A2 and I/O region A3, the contact holes 17 are formed in the interlayer insulating film 16. In the memory region A1, on the other hand, the contact holes 17 are formed by serving the high dielectric constant insulating film 7 on the same layer as the gate insulating film 8 as an etching stopper layer for the interlayer insulating film 16. Thereafter, the contact holes 17a that reach the diffusion regions 12b of the MIS transistors are formed through removing the high dielectric constant insulating film 7 lying on the bottoms of the contact holes 17 by the spattering etching.

Thus, according to the embodiment 2, in case the alignment margin between the contact holes 17 and the device isolation sections can be taken comparably larger in the logic region A2 and I/O region A3, the SAC insulating film 15 may not be formed over the semiconductor substrate 1. In the memory region A1, on the other hand, since the high dielectric constant insulating film 7 on the same layer as the gate insulating film 8 functions as an etching stopper layer for the interlayer insulating film 16, even if parts of the

contact holes 17 are formed on the silicon oxide film 3 forming the device isolation sections because the alignment margin in the memory region A1 is comparably small, the silicon oxide film 3 can be prevented from being shaved.

[Embodiment 3]

Another example of the semiconductor integrated circuit device being the embodiment 3 will be described by using the sectional view of the major part of the semiconductor substrate, illustrated in Fig. 22.

Fig. 22 illustrates the n-channel MIS transistor in the memory region A1 of the semiconductor integrated circuit device.

An n-channel MIS transistor Q_5 is formed, in the same manner as the n-channel MIS transistor Q_1 illustrated in Fig. 4 in the embodiment 1, in an active region surrounded by device isolation sections. A pair of n-type semiconductor regions 12 forms the source and drain of the n-channel MIS transistor Q_5 , and the high dielectric constant insulating film 7 forms the gate insulating film 8. The contact holes 17a are formed through the high dielectric constant insulating film 7 on the same layer as the gate insulating film 8 formed to cover substantially the whole surface of the

semiconductor substrate 1, the insulating film 15, and the interlayer insulating film 16. The wires 19 are connected to a pair of the n-type semiconductor regions 12 through the plugs 18 embedded in the contact holes 17a.

The gate electrode 11 is formed in a laminated structure in which a silicon germanium layer 20 and a polycrystalline silicon film 21 are deposited sequentially from the lower layer.

The solid solubility of silicon germanium conductive impurities, for example, boron of the p-type impurities is higher than that of silicon; therefore, to increase the carrier density in the silicon germanium layer 20 will make it possible to prevent depletion of the carriers in the gate electrode 11, and to reduce contact resistances. And, to form the polycrystalline silicon film 21 on the upper layer of the silicon germanium layer 20 will make it possible to prompt the silicification reaction, and to form the silicide layer 14 on the gate electrode 11.

The embodiment 3 describes the case in which the invention is applied to the MIS transistor in the memory region A1; however, it is also possible to apply the invention to the MIS transistors in the logic region A2 and I/O region A3, and to form the gate electrode 11 in

a structure in which the silicon germanium layer 20 and polycrystalline silicon film 21 are laminated sequentially from the lower layer.

As described above, the invention has been described concretely based on the embodiments. However, the invention is not limited to the above embodiments, and it should be well understood that various changes and variations are possible without a departure from the spirit and scope of the invention.

For example, the invention is applied to the n-channel MIS transistors in the above embodiments; however, it can be applied to the p-channel MIS transistors.

The typical effects obtained by the invention disclosed in this application will be shown in brief.

In a circuit region to which a high-speed performance is desired, for example, the logic region and I/O region, it is possible to achieve the high-speed performance by removing the high dielectric constant insulating film on the semiconductor region forming the sources and drains of the MIS transistors, and forming the silicide layers of a low resistance on the surface of the semiconductor region. On the other hand, in a circuit region to which a high reliability is desired, for example, the memory region, it is possible to prevent

the damages to the semiconductor substrate in the processes of forming the spacers, silicide layers, and contact holes, and attain the high reliability, by not forming the silicide layers on the semiconductor region forming the sources and drains of the MIS transistors, and covering the semiconductor region with the high dielectric constant insulating film.

What Is Claimed Is:

1. A method for manufacturing a semiconductor integrated circuit device, comprising the steps of:

(a) forming plural trenches on a surface of a semiconductor substrate of a first conductive type, and forming a first insulating film inside the plural trenches;

(b) forming a second insulating film of which relative dielectric constant is higher than that of the first insulating film on the surface of the semiconductor substrate;

(c) forming a first conductive piece on the second insulating film; and

(d) introducing first impurities of a second conductive type opposite to the first conductive type into the surface of the semiconductor substrate, in a state that the second insulating film is left in a region of both ends of the first conductive piece.

2. A method for manufacturing a semiconductor integrated circuit device according to Claim 1, further comprising the steps of:

(e) forming a third insulating film to overlie the semiconductor substrate; and

(f) applying anisotropic etching to the third

insulating film to form a sidewall insulating film on sidewalls of the first conductive piece;

wherein, after applying the anisotropic etching, the surface of the semiconductor substrate is covered with the second insulating film.

3. A method for manufacturing a semiconductor integrated circuit device according to Claim 2, wherein the third insulating film is made of an oxide film.

4. A method for manufacturing a semiconductor integrated circuit device according to Claim 2, further comprising the step of:

(g) introducing second impurities of the second conductive type, in a state that the second insulating film is left in a region between the sidewall insulating film on the surface of the semiconductor substrate and the first insulating film.

5. A method for manufacturing a semiconductor integrated circuit device according to Claim 4, further comprising the steps of:

(h) removing the second insulating film from the region between the sidewall insulating film on the surface of the semiconductor substrate and the first

insulating film; and

(i) depositing a high melting point metal film to overlies the semiconductor substrate, and selectively forming a silicide layer in the region between the sidewall insulating film on the surface of the semiconductor substrate and the first insulating film.

6. A method for manufacturing a semiconductor integrated circuit device according to Claim 1, wherein the first conductive piece has a silicon germanium film and a silicon film laminated sequentially from the lower layer.

7. A method for manufacturing a semiconductor integrated circuit device, comprising the steps of:

(a) preparing a semiconductor substrate of a first conductive type, having a first region and a second region on a surface thereof;

(b) forming plural trenches on the surface of the semiconductor substrate in the first region and the second region, and forming a first insulating film inside the plural trenches;

(c) forming a second insulating film of which relative dielectric constant is higher than that of the first insulating film on the surface of the semiconductor

substrate in the first region and the second region;

(d) forming a first conductive piece on the second insulating film in the first region, and forming a second conductive piece on the second insulating film in the second region;

(e) introducing first impurities of a second conductive type opposite to the first conductive type into the surface of the semiconductor substrate, in a region of both ends of the first conductive piece and a region of both ends of the second conductive piece;

(f) removing the second insulating film, except at least a lower layer of the first conductive piece and the second region;

(g) depositing a high melting point metal film to overlie the semiconductor substrate; and

(h) selectively forming a silicide layer in a region between the first conductive piece on the surface of the semiconductor substrate and the first insulating film, in the first region.

8. A method for manufacturing a semiconductor integrated circuit device according to Claim 7, further comprising between the steps (e) and (f) the steps of:

(i) forming a third insulating film to overlie the semiconductor substrate; and

(j) applying anisotropic etching to the third insulating film to form a first sidewall insulating film on sidewalls of the first conductive piece, and a second sidewall insulating film on sidewalls of the second conductive piece.

9. A method for manufacturing a semiconductor integrated circuit device according to Claim 8, further comprising between the steps (i) and (j) the step of:

(k) introducing second impurities of the second conductive type, in a region between the first sidewall insulating film on the surface of the semiconductor substrate and the first insulating film, and a region between the second sidewall insulating film and the first insulating film.

10. A method for manufacturing a semiconductor integrated circuit device according to Claim 7, further comprising between the steps (b) and (c) the step of:

(l) forming a silicon oxide film on the surface of the semiconductor substrate in the first region;

wherein, in the first region, the second insulating film is formed to overlies the semiconductor substrate with intervention of the silicon oxide film, and in the second region, the second insulating film is formed on

the surface of the semiconductor substrate without intervention of the silicon oxide film.

11. A method for manufacturing a semiconductor integrated circuit device according to Claim 7, wherein the first and second conductive pieces have a silicon germanium film and a silicon film laminated sequentially from the lower layer.

12. A method for manufacturing a semiconductor integrated circuit device according to Claim 7, further comprising the steps of:

(m) depositing a third insulating film in the first and second regions;

(n) applying etching to the third insulating film to form a first contact hole in a region between the first conductive piece and the first insulating film, in the first region;

(o) applying etching to the third insulating film to form a second contact hole in a region between the second conductive piece and the first insulating film, in the second region; and

(p) forming a third conductive piece in the first contact hole, and a fourth conductive piece in the second contact hole.

13. A method for manufacturing a semiconductor integrated circuit device according to Claim 12, wherein a distance between the first conductive piece and the first insulating film in the first region is larger than a distance between the second conductive piece and the first insulating film in the second region.

14. A method for manufacturing a semiconductor integrated circuit device according to Claim 13, wherein a part of the second contact hole overlaps with the first insulating film in the second region.

15. A method for manufacturing a semiconductor integrated circuit device according to Claim 13, wherein the first and third insulating films are made of a silicon oxide film.

16. A method for manufacturing a semiconductor integrated circuit device according to Claim 12, wherein the third insulating film has a silicon nitride film and a silicon oxide film laminated sequentially from the lower layer.

17. A method for manufacturing a semiconductor

integrated circuit device according to Claim 12, wherein a plane form of the third conductive piece is smaller than the plane form of the fourth conductive piece.

18. A method for manufacturing a semiconductor integrated circuit device according to Claim 12, further comprising between the steps (b) and (c) the step of:

(1) forming a silicon oxide film on the surface of the semiconductor substrate in the first region;

wherein, in the first region, the second insulating film is formed to overlies the semiconductor substrate with intervention of the silicon oxide film, and in the second region, the second insulating film is formed on the surface of the semiconductor substrate without intervention of the silicon oxide film.

19. A method for manufacturing a semiconductor integrated circuit device, comprising the steps of:

(a) forming plural trenches on a surface of a semiconductor substrate of a first conductive type, and forming a first insulating film inside the plural trenches;

(b) forming a second insulating film of which relative dielectric constant is higher than that of the first insulating film on the surface of the semiconductor

substrate;

(c) forming a first conductive piece on the second insulating film;

(d) introducing first impurities of a second conductive type opposite to the first conductive type into the surface of the semiconductor substrate, in a state that the second insulating film is left in a region of both ends of the first conductive piece, in order to form a first conductive region;

(e) forming a third insulating film to overlie the semiconductor substrate;

(f) applying etching to the third and second insulating films to form a contact hole on the first semiconductor region; and

(g) forming a second conductive piece in the contact hole;

wherein the etching of the step (f) includes a first etching that etches the third insulating film on the condition that the etching speed of the third insulating film is higher than that of the second insulating film, and a second etching that etches the second insulating film on a different condition from the first etching.

20. A method for manufacturing a semiconductor integrated circuit device according to Claim 19, wherein

the first and third insulating films are made of a silicon oxide film.

ABSTRACT

The invention provides a method that forms a circuit to achieve a high-speed performance and a circuit to attain a high reliability on one and the same substrate, in a semiconductor integrated circuit device containing MIS transistors in which the gate insulating film is made of a high dielectric constant insulating film. The method removes the high dielectric constant insulating film on the diffusion regions of the MIS transistors in the logic region and I/O region, and forms the silicide layers of a low resistance on the surfaces of the diffusion regions. In the memory region, on the other hand, it does not form the silicide layers on the diffusion regions of the MIS transistors, and covers the diffusion regions with the high dielectric constant insulating film, thereby preventing damages to the semiconductor substrate during forming the spacers, silicide layers, and contact holes.

FIG. 1

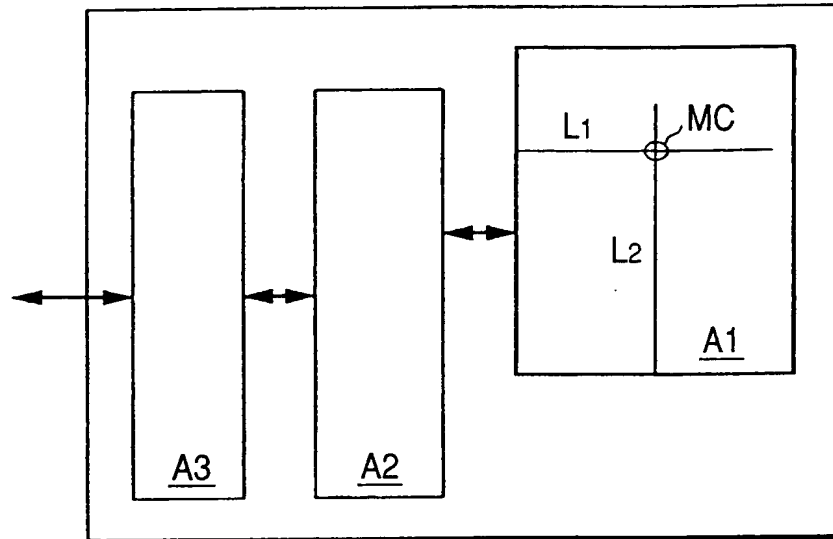


FIG. 2

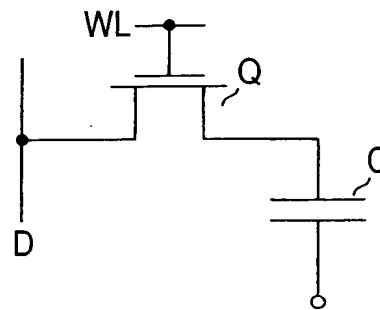


FIG. 3

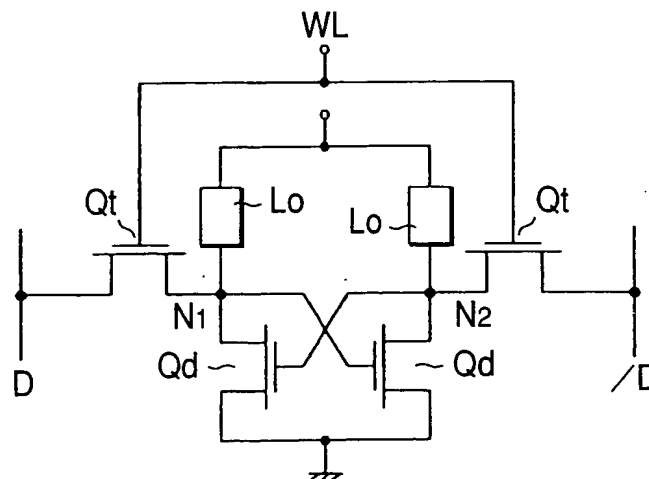


FIG. 4

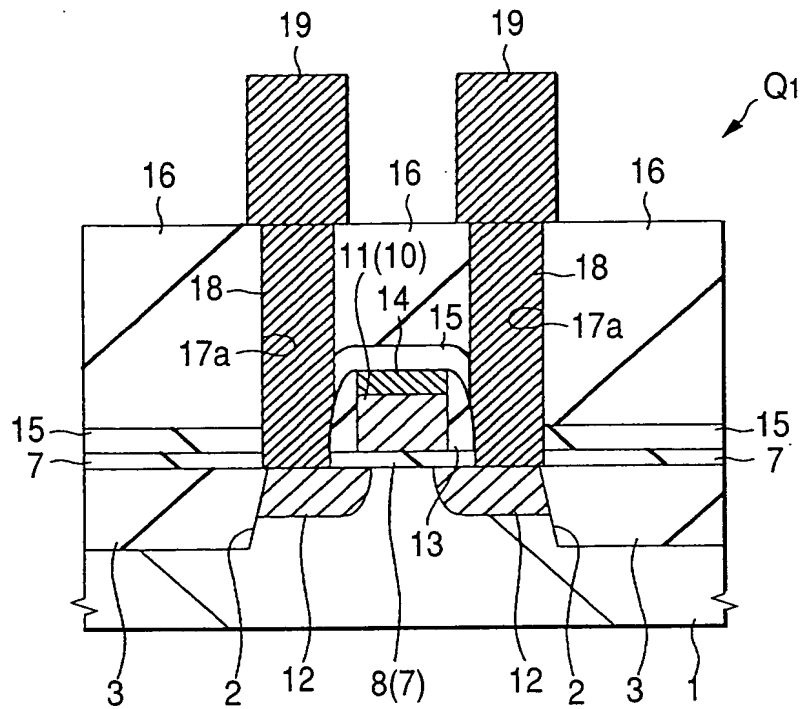


FIG. 5

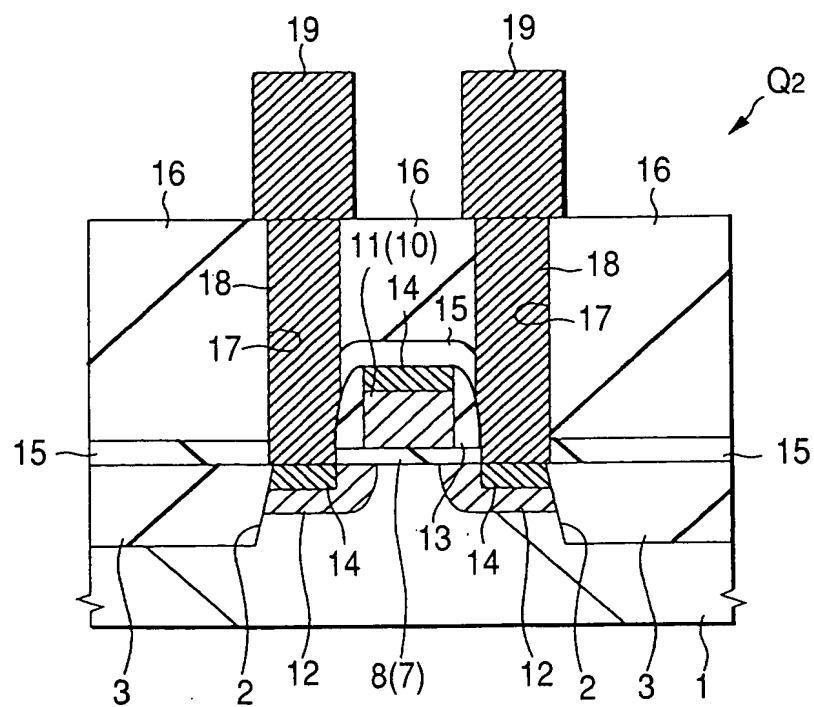


FIG. 6

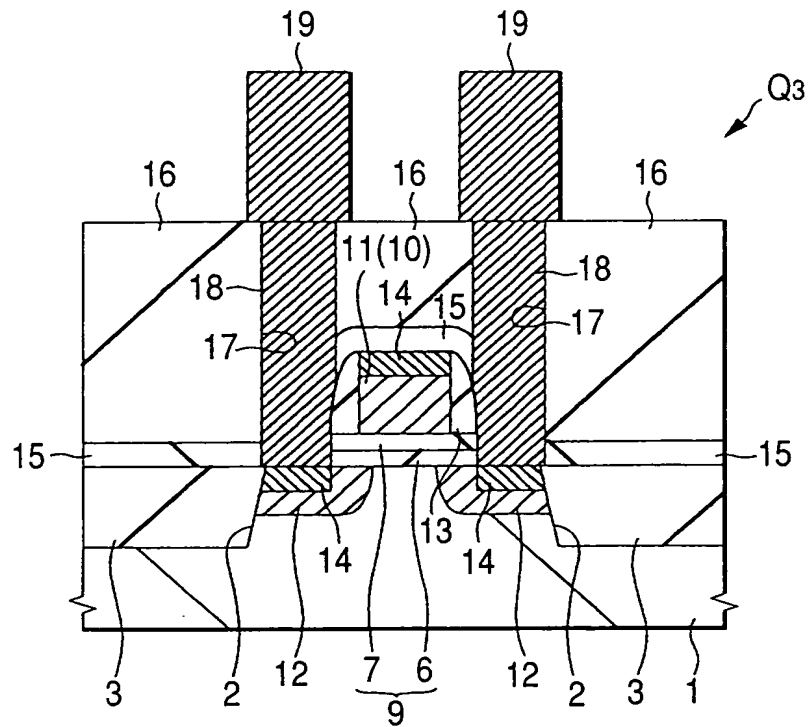


FIG. 7

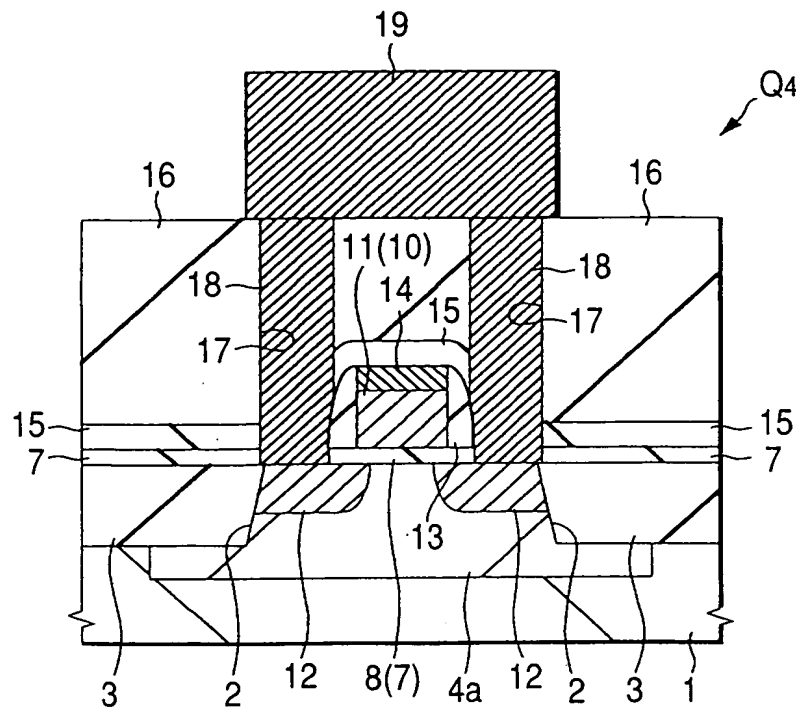


FIG. 8

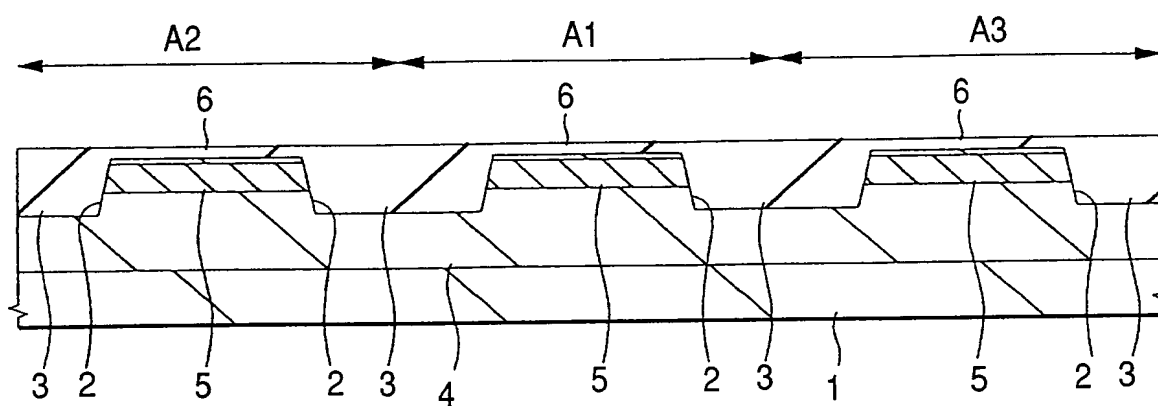


FIG. 9

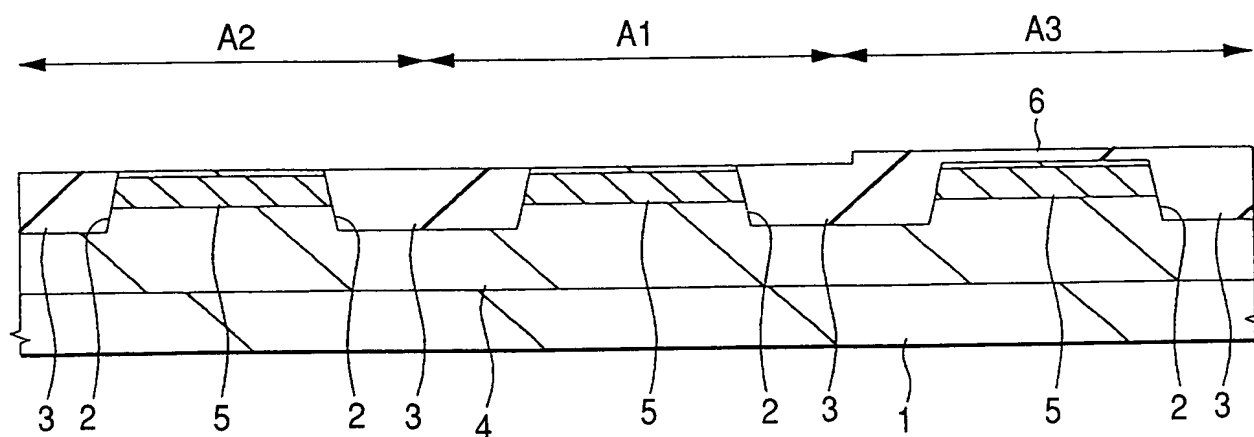


FIG. 10

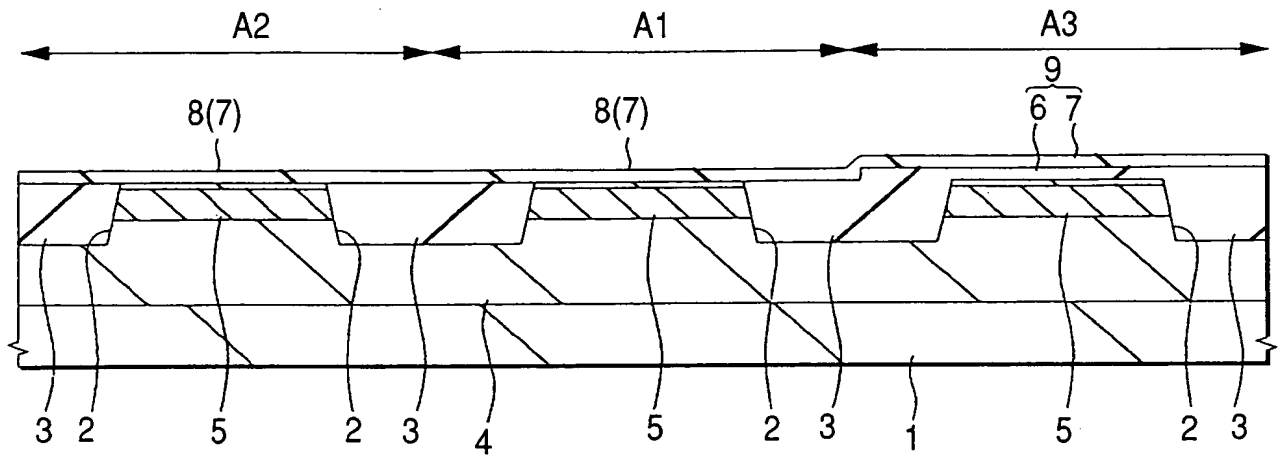


FIG. 11

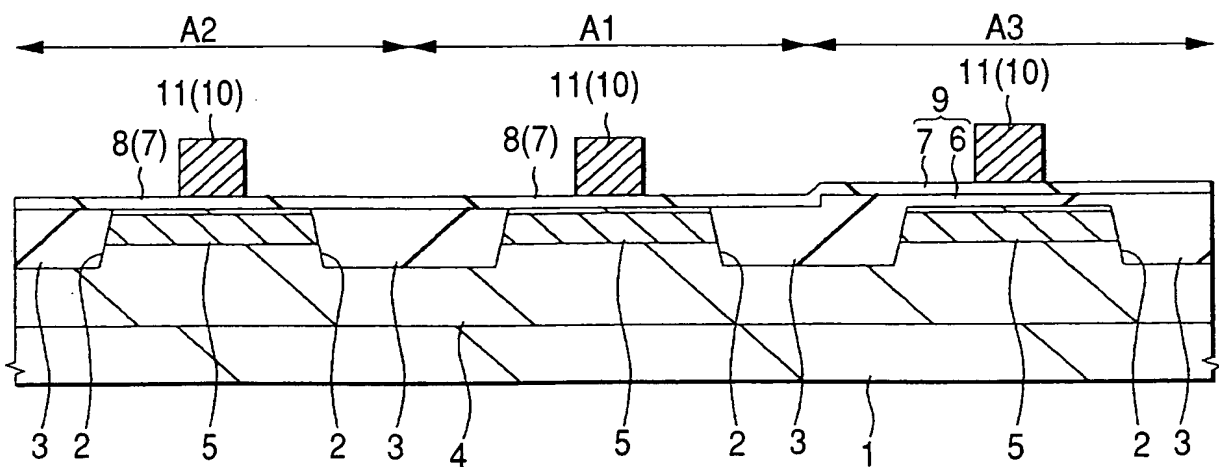


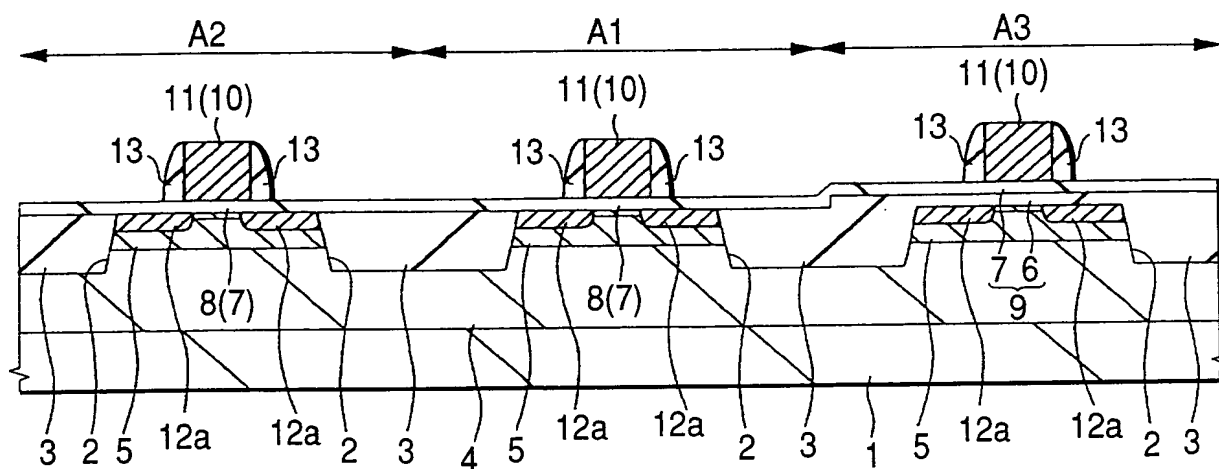
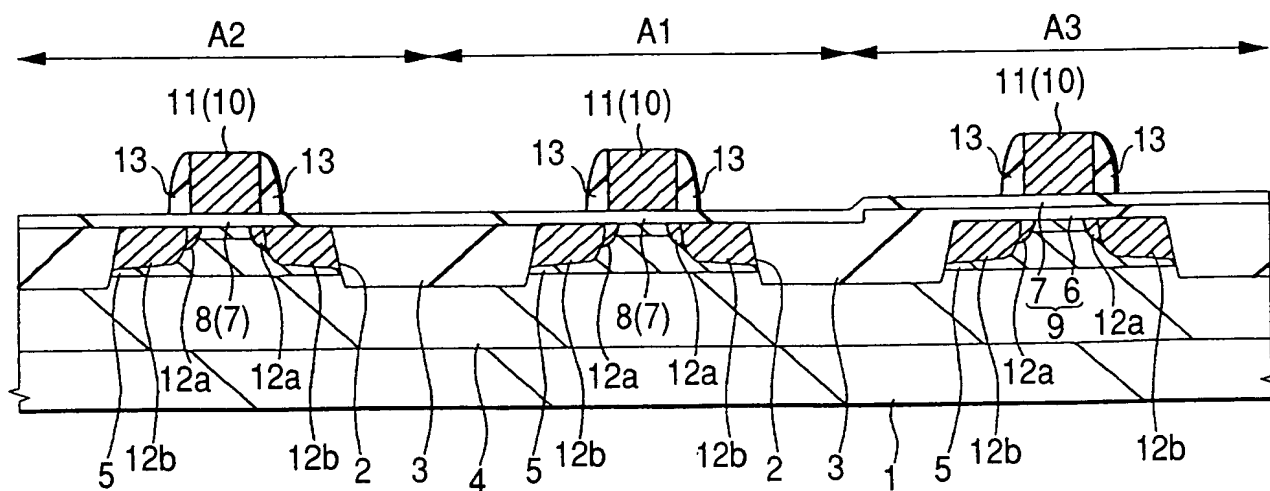
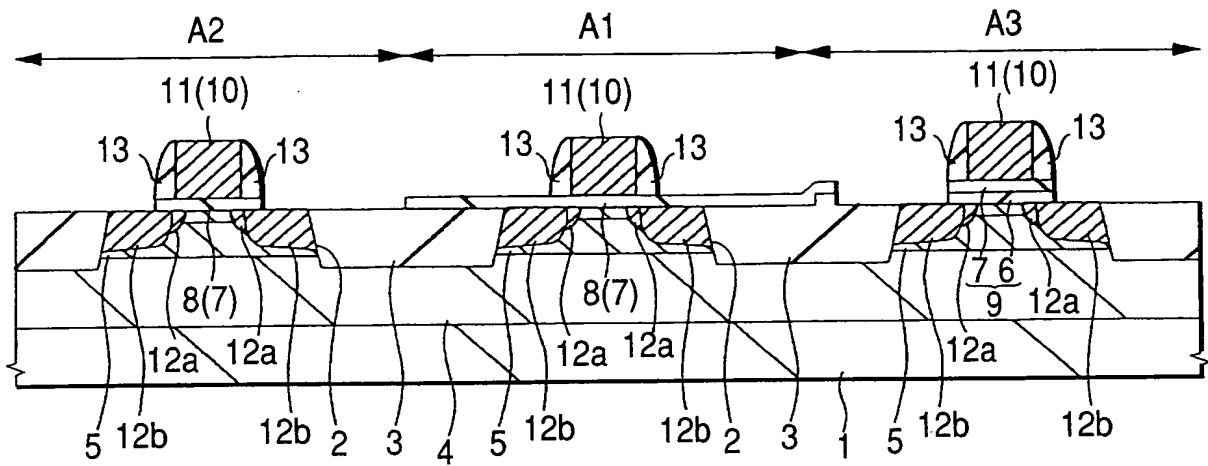
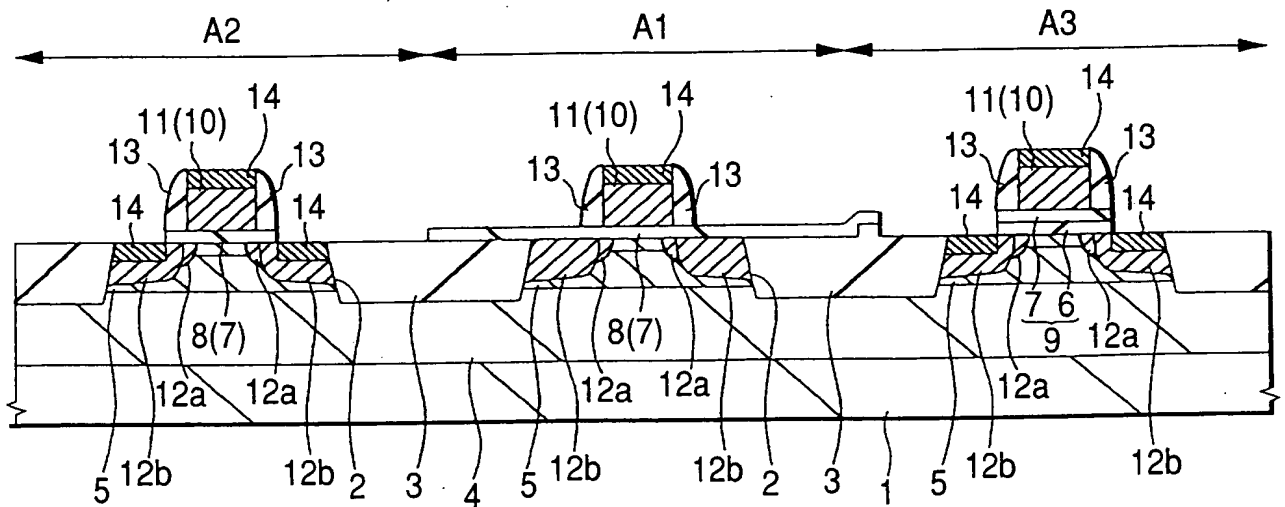
FIG. 12**FIG. 13**

FIG. 14**FIG. 15**

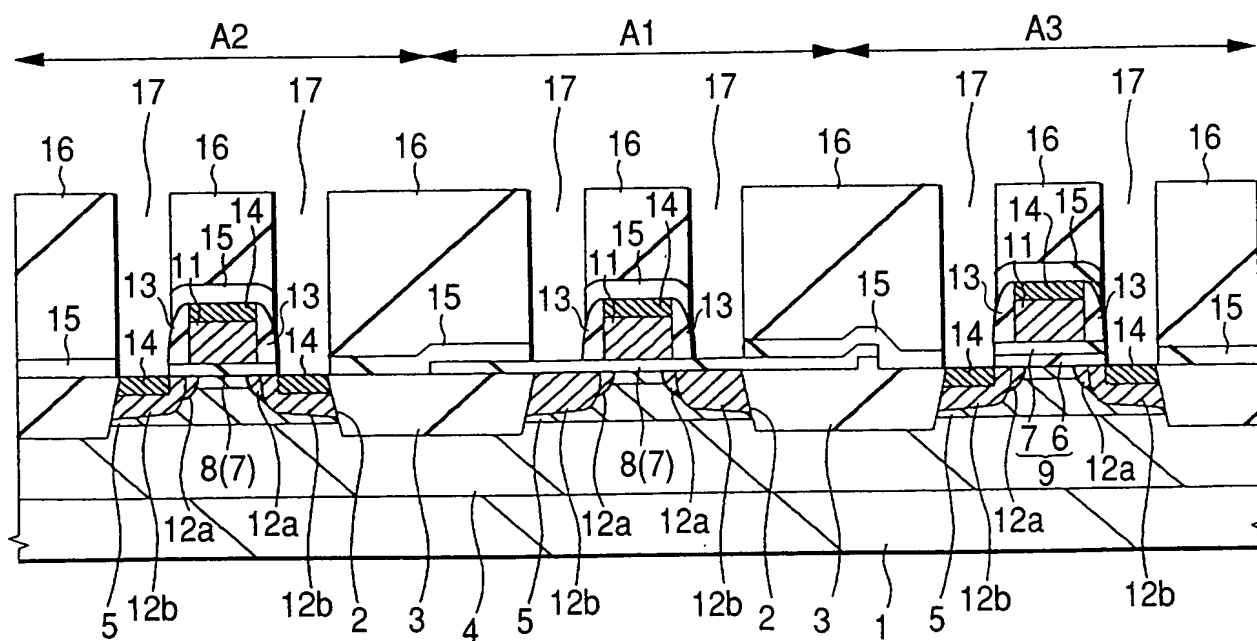


FIG. 18

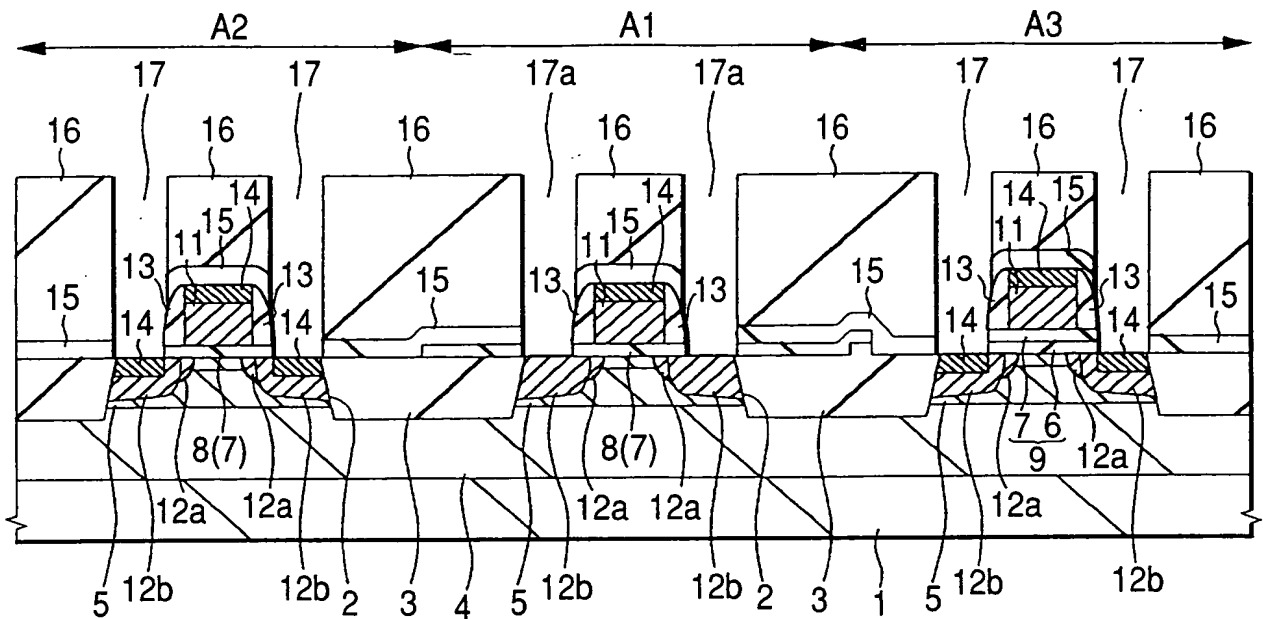


FIG. 19

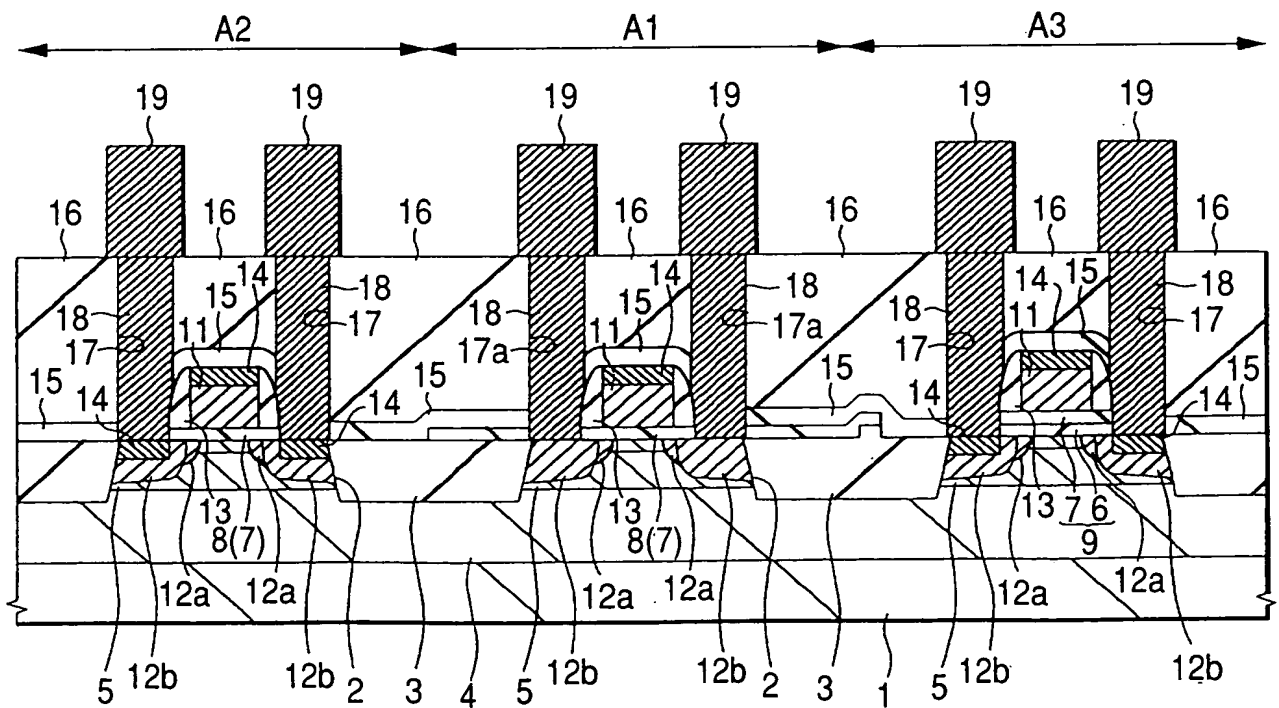


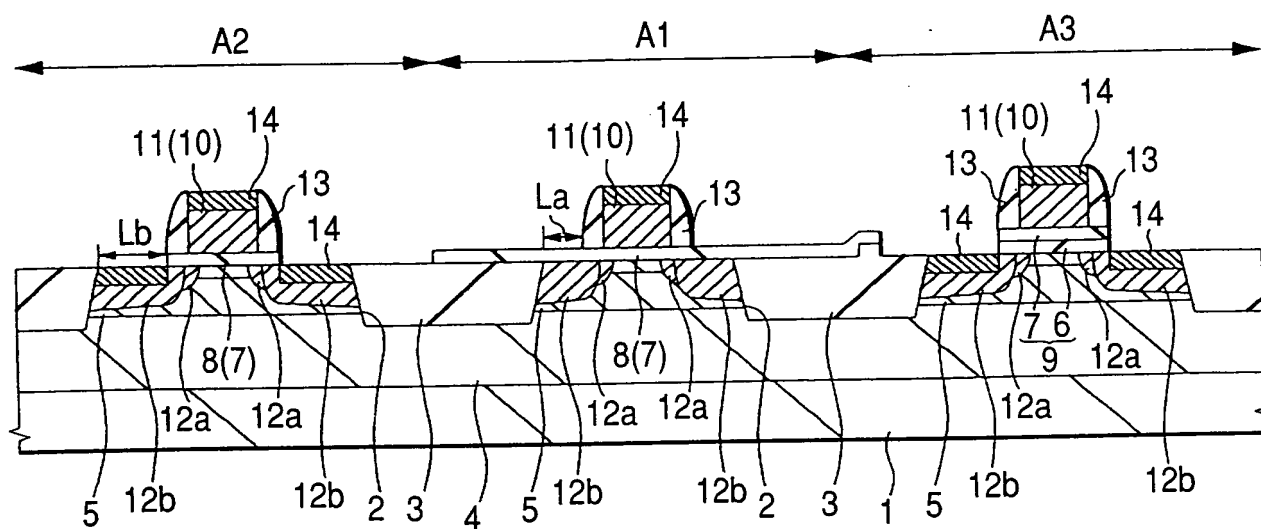
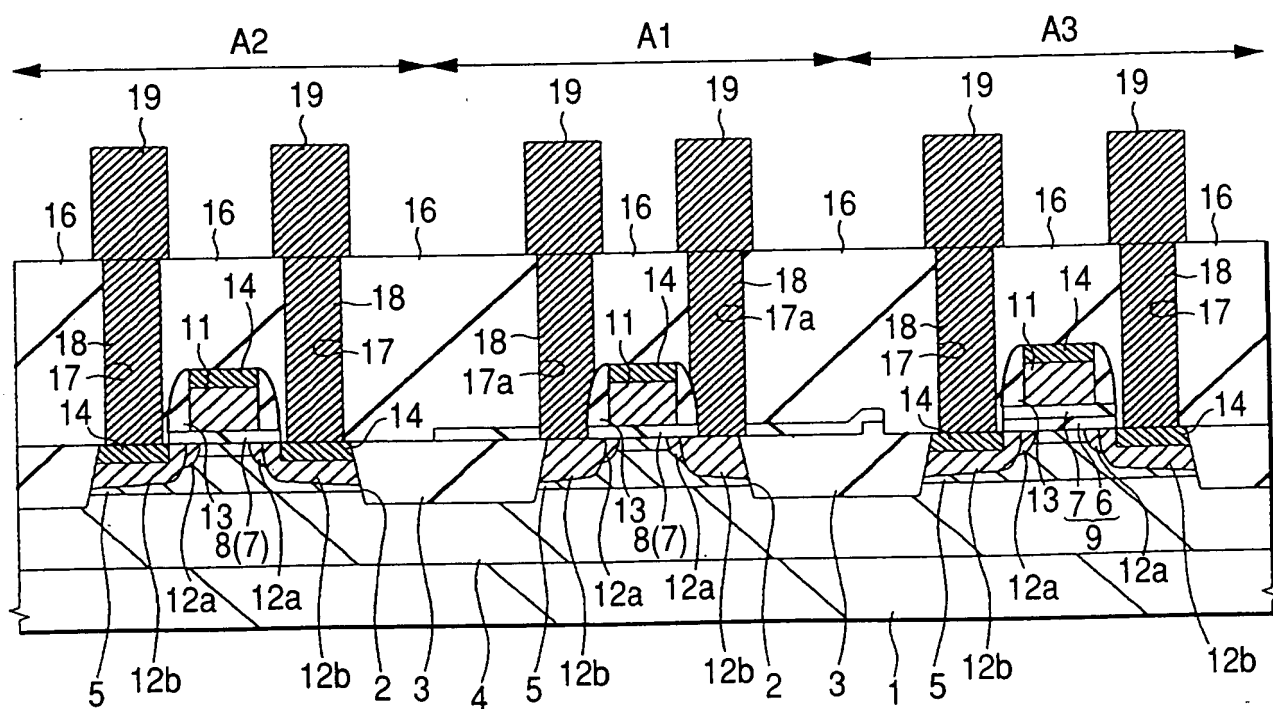
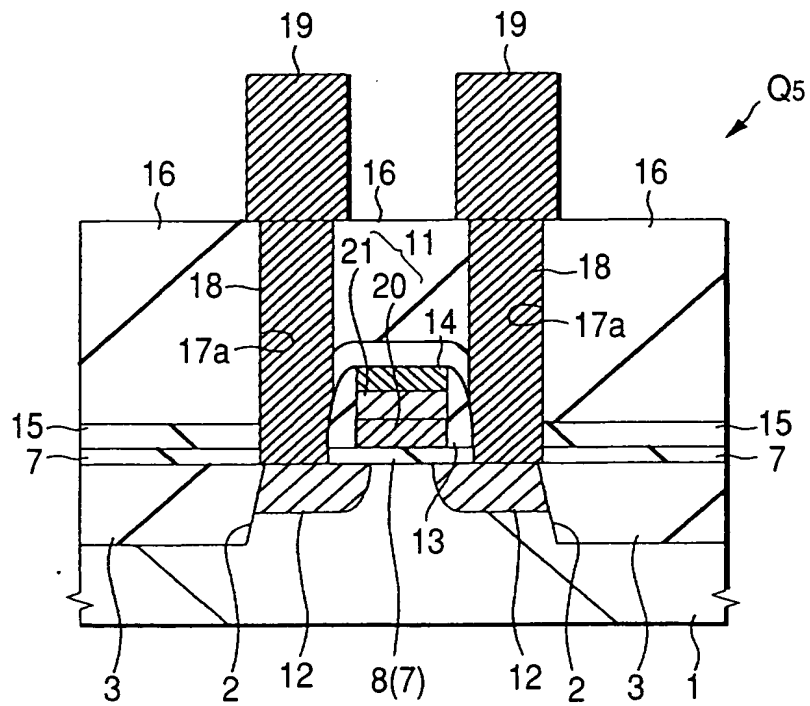
FIG. 20**FIG. 21**

FIG. 22



THIS PAGE BLANK (USP:0)